

FEB 15 2002

-1-

Docket No.: 0819-0695

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE
COPY OF PAPERS
ORIGINALLY FILED

In re PATENT application of)
TOSHIYUKI HONDA)
Serial No. 09/988,817) Group Art Unit: Unassigned
Filed: 11/20/2001)
For: FERROELECTRIC MEMORY)

**TRANSMITTAL OF PRIORITY DOCUMENT AND CLAIM OF FOREIGN
FILING DATE PURSUANT TO 35 U.S.C. § 119**

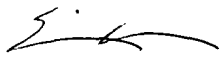
Honorable Commissioner for Patents

Washington, D.C. 20231

Sir:

At the time of filing the above-references application, benefit of foreign priority under 35 U.S.C. § 119 was claimed. Submitted herewith is a certified copy of priority document number 2000-365276 to perfect the claim of priority. Acknowledgment is respectfully requested.

Respectfully submitted,


Eric J. Robinson
Reg. No. 38,285

Nixon Peabody LLP
8180 Greensboro Drive, Suite 800
McLean, Virginia 22102
(703) 790-9110

CERTIFICATE OF MAILING

I hereby certify that this correspondence is being deposited with The United States Postal Service with sufficient postage as First Class Mail in an envelope addressed to: Assistant Commissioner for Patents, Washington, D.C. 20231, on 2/13/02



日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2000年11月30日

出願番号

Application Number:

特願2000-365276

出願人

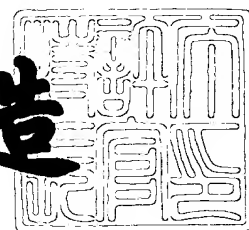
Applicant(s):

松下電器産業株式会社

2001年11月30日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3105288

【書類名】 特許願

【整理番号】 2926410238

【提出日】 平成12年11月30日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/788

【発明者】

【住所又は居所】 大阪府高槻市幸町 1 番 1 号 松下電子工業株式会社内

【氏名】 本多 利行

【特許出願人】

【識別番号】 000005843

【氏名又は名称】 松下電子工業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006009

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 強誘電体メモリ

【特許請求の範囲】

【請求項 1】 トランジスタ及び強誘電体キャパシタを有する複数のメモリセルがマトリックス状に配置されてなる強誘電体メモリであって、

プレート線は、前記複数のメモリセルのうちワード線方向に隣接するメモリセルの前記強誘電体キャパシタの上をワード線方向に延びており、

ビット線と前記トランジスタの活性領域とを接続するビット線コンタクトは、ビット線方向に隣接する前記プレート線同士の間で且つワード線方向に隣接する前記強誘電体キャパシタ同士の間領域に配置されており、

前記プレート線における前記ビット線コンタクトの近傍部には切り欠き部が形成されており、

前記複数のメモリセルの前記トランジスタの活性領域は、ワード線方向と交差し且つビット線方向と交差するように延びていることを特徴とする強誘電体メモリ。

【請求項 2】 トランジスタ及び強誘電体キャパシタを有する複数のメモリセルがマトリックス状に配置されてなる強誘電体メモリであって、

前記複数のメモリセルのうちワード線方向に隣接する 1 組のメモリセルの前記強誘電体キャパシタはビット線方向に互いにオフセットするように配置されており、

ワード線は、前記 1 組のメモリセルの前記トランジスタに対して共通に設けられており、

プレート線は、前記 1 組のメモリセルの前記強誘電体キャパシタに対して共通に設けられており、

ビット線と前記トランジスタの活性領域とを接続するビット線コンタクトは、ビット線方向に隣接する前記プレート線同士の上に配置されていることを特徴とする強誘電体メモリ。

【請求項 3】 トランジスタ及び強誘電体キャパシタを有する複数のメモリセルがマトリックス状に配置されてなる強誘電体メモリであって、

前記複数のメモリセルのうちワード線方向に隣接する 1 組のメモリセルの前記強誘電体キャパシタはビット線方向に互いにオフセットするように配置されており、

ワード線は、前記 1 組のメモリセルの前記トランジスタに対して共通に設けられており、

プレート線は、前記 1 組のメモリセルの各メモリセルの前記強誘電体キャパシタ毎に設けられており、

ビット線と前記トランジスタの活性領域とを接続するビット線コンタクトは、前記 1 組のメモリセルと対応する複数のプレート線からなるプレート線群同士の間配置されていることを特徴とする強誘電体メモリ。

【請求項 4】 トランジスタ及び強誘電体キャパシタを有する複数のメモリセルがマトリックス状に配置されてなる強誘電体メモリであって、

前記複数のメモリセルのうちワード線方向に隣接する 1 組のメモリセルの前記強誘電体キャパシタはビット線方向に互いにオフセットするように配置されており、

プレート線は、前記 1 組のメモリセルの前記強誘電体キャパシタに対して共通に設けられており、

ビット線と前記トランジスタの活性領域とを接続するビット線コンタクトは、前記プレート線に対するビット線方向の両側に配置されていることを特徴とする強誘電体メモリ。

【請求項 5】 トランジスタ及び強誘電体キャパシタを有する複数のメモリセルがマトリックス状に配置されてなる強誘電体メモリであって、

前記複数のメモリセルの前記トランジスタの活性領域は、前記強誘電体キャパシタ同士の間をビット線方向に延びており、

ワード線は、前記活性領域における前記強誘電体キャパシタ同士の間をビット線方向に延びる領域の上に形成され相対的に広い幅を有するゲート電極部と、前記強誘電体キャパシタのビット線方向に形成され相対的に狭い幅を有する配線部とを有していることを特徴とする強誘電体メモリ。

【請求項 6】 前記活性領域は折れ曲がった形状を有していることを特徴とす

る請求項 5 に記載の強誘電体メモリ。

【請求項 7】 トランジスタ及び強誘電体キャパシタを有する複数のメモリセルがマトリックス状に配置されてなる強誘電体メモリであって、

前記複数のメモリセルを構成する複数の前記強誘電体キャパシタのうち、ビット線コンタクトを介してビット線方向に隣接する強誘電体キャパシタ同士はワード線方向にオフセットしていない一方、ビット線コンタクトを介することなくビット線方向に隣接する強誘電体キャパシタ同士はワード線方向にオフセットするように配置されており、

前記複数のメモリセルのトランジスタの活性領域は、ワード線方向に隣接する前記強誘電体キャパシタ同士の間をビット線方向に延びており、

ワード線は、前記活性領域の上に形成され相対的に広い幅を有するゲート電極部と、前記強誘電体キャパシタのビット線方向に形成され相対的に狭い幅を有する配線部とを有していることを特徴とする強誘電体メモリ。

【請求項 8】 トランジスタ及び強誘電体キャパシタを有する複数のメモリセルがマトリックス状に配置されてなる強誘電体メモリであって、

前記複数のメモリセルのうちワード線方向に隣接する一对のメモリセルの前記強誘電体キャパシタはビット線方向にオフセットするように配置されており、

プレート線は、前記一对のメモリセルの前記強誘電体キャパシタに対して共通に設けられており、

ワード線は、前記一对のメモリセルの前記トランジスタに対して共通に設けられていると共に、前記一对のメモリセルの前記強誘電体キャパシタ同士に形成されていることを特徴とする強誘電体メモリ。

【請求項 9】 トランジスタ及び強誘電体キャパシタを有する複数のメモリセルがマトリックス状に配置されてなる強誘電体メモリであって、

前記複数のメモリセルのうちワード線方向に隣接する一对のメモリセルの前記強誘電体キャパシタはビット線方向にオフセットするように配置されており、

前記一对のメモリセルのうち一方のメモリセルの前記トランジスタの活性領域は、前記一对のメモリセルのうちの他方のメモリセルの前記強誘電体キャパシタ同士の間を前記他方のメモリセルのプレート線と交差してビット線方向に延び

ており、

前記一方のメモリセルの前記トランジスタに対して第1のワード線が設けられていると共に、前記他方のメモリセルの前記トランジスタに対して第2のワード線が設けられており、

前記第2のワード線は、前記一方のメモリセルのトランジスタの活性領域と交差する領域においては、該活性領域をオフ状態にさせることがない程度に狭い幅に形成されていることを特徴とする強誘電体メモリ。

【請求項10】 トランジスタ及び強誘電体キャパシタを有する複数のメモリセルがマトリックス状に配置されてなる強誘電体メモリであって、

ビット線は、前記複数のメモリセルのうちワード線方向に隣接する一対のメモリセルの前記強誘電体キャパシタ同士の間をビット線方向に延びる活性領域からなると共に、前記複数のメモリセルの前記トランジスタの活性領域と一体に形成されており、

ワード線は、前記ビット線の上に形成され、前記ビット線をオフ状態にさせることがない狭い幅の配線部と、前記トランジスタの活性領域の上に形成され、前記配線部よりも幅が広いゲート電極部とを有している。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、トランジスタ及び強誘電体キャパシタを有する複数のメモリセルがマトリックス状に配置されてなる強誘電体メモリに関する。

【0002】

【従来の技術】

図25は、第1、第2の従来例及び本発明の各実施形態に係る強誘電体メモリの回路構成を示しており、図25に示すように、強誘電体メモリセルは、1つのトランジスタと1つの強誘電体キャパシタとを有する1トランジスタ1キャパシタ型である。強誘電体メモリセルを構成するトランジスタのゲート電極はワード線に接続されていると共に、該トランジスタのドレイン電極はビット線に接続されている。また、強誘電体メモリセルを構成するキャパシタの一方の電極はプレ

ート線に接続されていると共に、該キャパシタの他方の電極はトランジスタのソース電極に接続されている。これにより、強誘電体メモリセルは、プレート線、ワード線及びビット線に印加される各信号によって制御される。

【 0 0 0 3 】

(第 1 の従来例)

以下、第 1 の従来例に係る強誘電体メモリについて、図 2 6、図 2 7 及び図 2 8 を参照しながら説明する。

【 0 0 0 4 】

図 2 6 及び図 2 7 は第 1 の従来例に係る強誘電体メモリセルアレイのレイアウトを示し、図 2 8 は図 2 6 及び図 2 7 における D-D 線の断面構造を示している。尚、図 2 7 は、図 2 6 に示すレイアウトから、活性領域、ワード線、ビット線コンタクト及びストレージノードコンタクトのみを抜き出して示している。

【 0 0 0 5 】

図 2 6、図 2 7 及び図 2 8 において、1 1 a、1 1 b、1 1 c、1 1 d は強誘電体キャパシタの上部電極からなるプレート線を示し、1 2 a、1 2 b、1 2 c、1 2 d は多結晶シリコンよりなりアクセストランジスタのゲート電極からなるワード線を示し、1 3 a、1 3 b、1 3 c、1 3 d はアルミニウム配線からなるビット線を示し、1 4 a、1 4 b、1 4 c、1 4 d は強誘電体キャパシタの下部電極からなる強誘電体メモリセルのストレージノードを示し、1 8 は 1 トランジスタ 1 キャパシタ型の 1 ビットの強誘電体メモリセルを示し、1 9 は強誘電体メモリセル 1 8 を構成するトランジスタを示している。また、1 5 はストレージノード 1 4 a、1 4 b、1 4 c、1 4 d と、トランジスタ 1 9 の活性領域 1 6 とを接続するストレージノードコンタクトを示し、1 7 は、ビット線 1 3 a、1 3 b、1 3 c、1 3 d と、トランジスタ 1 9 の活性領域 1 6 とを接続するビット線コンタクトを示している。

【 0 0 0 6 】

図 2 6 において、a 1 は、ビット線コンタクト 1 7 を介して隣接するプレート線 1 1 a、1 1 b 間の距離である第 1 のプレート線間距離を示し、b 1 は、ストレージノード 1 4 a を含むプレート線 1 1 a、1 1 b の線幅を示し、c 1

は、ビット線コンタクト 1 7 を介することなく隣接するプレート線 1 1 b、1 1 c 間の距離である第 2 のプレート線間距離を示している。

【 0 0 0 7 】

図 2 6 に示すように、ストレージノードコンタクト 1 5 とビット線コンタクト 1 7 とは、活性領域 1 6 により最短距離で配置されている。

【 0 0 0 8 】

(第 2 の従来例)

以下、第 2 の従来例に係る強誘電体メモリについて、図 2 9、図 3 0 及び図 3 1 を参照しながら説明する。

【 0 0 0 9 】

図 2 9 及び図 3 0 は第 2 の従来例に係る強誘電体メモリセルアレイのレイアウトを示し、図 3 1 は図 2 9 及び図 3 0 における E - E 線の断面構造を示している。尚、図 3 0 は、図 2 9 に示すレイアウトから、活性領域、ワード線、ビット線コンタクト及びストレージノードコンタクトのみを抜き出して示している。

【 0 0 1 0 】

図 2 9、図 3 0 及び図 3 1 において、2 1 a、2 1 b、2 1 c、2 1 d は強誘電体キャパシタの上部電極からなるプレート線を示し、2 2 a、2 2 b、2 2 c、2 2 d は多結晶シリコンよりなりアクセストランジスタのゲート電極からなるワード線を示し、2 3 a、2 3 b、2 3 c、2 3 d はアルミニウム配線からなるビット線を示し、2 4 a、2 4 b、2 4 c、2 4 d は強誘電体キャパシタの下部電極からなる強誘電体メモリセルのストレージノードを示し、2 8 は 1 トランジスタ 1 キャパシタからなる 1 ビットの強誘電体メモリセルを示し、2 9 は強誘電体メモリセル 2 8 を構成するトランジスタを示している。また、2 5 はストレージノード 2 4 a、2 4 b、2 4 c、2 4 d と、トランジスタ 2 9 の活性領域 2 6 とを接続するストレージノードコンタクトを示し、2 7 は、ビット線 2 3 a、2 3 b、2 3 c、2 3 d と、トランジスタ 2 9 の活性領域 2 6 とを接続するビット線コンタクトを示している。

【 0 0 1 1 】

図 2 9 において、a 2 は、ビット線コンタクト 2 7 を介して隣接するプレート

線 2 1 a、2 1 b 間の距離である第 1 のプレート線間距離を示し、b 1 は、ストレージノード 2 4 a を含むプレート線 2 1 a、2 1 b の線幅を示し、c 1 は、ビット線コンタクト 2 7 を介することなく隣接するプレート線 2 1 b、2 1 c 間の距離である第 2 のプレート線間距離を示し、d は、ワード線 2 2 a の一方の側端からビット線コンタクト 2 7 の中心までの距離を示し、e は、ワード線 2 2 a の線幅を示し、f は、ワード線 2 2 a の他方の側端からストレージノードコンタクト 2 5 の中心までの距離を示している。尚、第 2 の従来例における第 1 のプレート線間距離 a 2 は、プレート線 2 1 a、2 1 b の加工により得られる最小の距離ではない。

【 0 0 1 2 】

ところで、ストレージノードコンタクト 2 5 とビット線コンタクト 2 7 との距離は、活性領域 2 6 により最短に設定されており、ワード線 2 2 a の線幅 e と、ワード線 2 2 a の一方の側端からビット線コンタクト 2 7 の中心までの距離 d と、ワード線 2 2 a の他方の側端からストレージノードコンタクト 2 5 の中心までの距離 f との合計である。

【 0 0 1 3 】

【発明が解決しようとする課題】

（第 1 の従来例の課題）

第 1 の従来例においては、強誘電体メモリセル 1 8 のビット線方向の長さ L 1 1 は、 $L 1 1 = a 1 / 2 + b 1 + c 1 / 2$ で与えられる。

【 0 0 1 4 】

従って、強誘電体メモリセル 1 8 のワード線方向の長さを W 1 1 とすると、強誘電体メモリセル 1 8 の面積 S 1 1 は、

$S 1 1 = L 1 1 \times W 1 1 = (a 1 / 2 + b 1 + c 1 / 2) \times W 1 1$ で与えられる。

【 0 0 1 5 】

通常、プレート線 1 1 a、1 1 b、1 1 c、1 1 d のビット線コンタクト側の端面と、ビット線コンタクト 1 7 との間には、両者の短絡を防止するために、所定の間隔が必要である。このため、ビット線コンタクト 1 7 を介して隣接するプ

プレート線 11a、11b 間の第 1 のプレート線間距離 a_1 は、ビット線コンタクト 17 を介することなく隣接するプレート線 11b、11c 間の第 2 のプレート線間距離 c_1 よりも大きくなってしまふので、 $a_1 > c_1$ の関係がある。

【0016】

従って、第 1 の従来例における強誘電体メモリセル 18 の面積 S_{11} は、全てのプレート線間距離が第 2 のプレート線間距離 c_1 と等しい場合に比べて、つまり $a_1 = c_1$ の場合に比べて、大きくなってしまふという問題がある。

【0017】

また、第 1 の従来例においては、強誘電体メモリセル 18 のデータを読み書きする際にプレート線 11a を駆動するためには、該プレート線 11a にワード線 12a を介して接続されるビット線 13a、13b、13c、13d は全て同時に使用される。この場合、各ビット線 13a、13b、13c、13d は互いに隣接しているため、ビット線間に存在する容量に起因してノイズが発生し、これによって、誤動作が起こり易いという問題もある。

【0018】

(第 2 の従来例の課題)

第 2 の従来例においては、強誘電体メモリセル 28 のビット線方向の長さ L_{12} は、 $L_{12} = d + e + f + b_1 / 2 + c_1 / 2$ で与えられる。

【0019】

ビット線コンタクト 27 を介して隣接するプレート線 21a、21b 間の第 1 のプレート線間距離 a_2 の最小値は、第 1 の従来例における第 1 のプレート線間距離 a_1 と等しくなるから、

$$d + e + f = a_2 / 2 + b_1 / 2 > a_1 / 2 + b_1 / 2 \text{ の関係がある。}$$

【0020】

この関係と、第 1 の従来例で示した $a_1 > c_1$ の関係とから、

$$d + e + f = a_2 / 2 + b_1 / 2 > c_1 / 2 + b_1 / 2 \text{ の関係が得られる。}$$

【0021】

近年の傾向として半導体デバイスの微細化に伴って動作電圧の低電圧化が進んでいるが、強誘電体キャパシタは低電圧下では十分な動作が行えない。従って、

周辺回路の動作電圧よりも高い電圧を強誘電体キャパシタに印加する必要がある
ので、強誘電体メモリセルを構成するトランジスタとしては、周辺回路に配置さ
れるトランジスタに比べて、ゲート長がより大きくてより高い電圧で動作するト
ランジスタを使用する必要がある。

【 0 0 2 2 】

しかしながら、第 2 の従来例において、トランジスタ 2 9 のゲート長 (=ワー
ド線 2 2 a の線幅 : e) を大きくすると、強誘電体メモリセル 2 8 の面積ひいて
は強誘電体メモリセルアレイの面積の増大を招くという問題がある。

【 0 0 2 3 】

前記に鑑み、本発明は、強誘電体メモリセルの面積の低減を図ることを第 1 の
目的とし、トランジスタのゲート長を大きくしても、強誘電体メモリセルの面積
の増大を招かないようにすることを第 2 の目的とする。

【 0 0 2 4 】

【課題を解決するための手段】

前記第 1 の目的を達成するため、本発明に係る第 1 の強誘電体メモリは、トラ
ンジスタ及び強誘電体キャパシタを有する複数のメモリセルがマトリックス状に
配置されてなる強誘電体メモリを対象とし、プレート線は、複数のメモリセルの
うちワード線方向に隣接するメモリセルの強誘電体キャパシタの上をワード線方
向に延びており、ビット線とトランジスタの活性領域とを接続するビット線コン
タクトは、ビット線方向に隣接するプレート線同士の間で且つワード線方向に隣
接する強誘電体キャパシタ同士の間領域に配置されており、プレート線におけ
るビット線コンタクトの近傍部には切り欠き部が形成されており、複数のメモリ
セルのトランジスタの活性領域は、ワード線方向と交差し且つビット線方向と交
差するように延びている。

【 0 0 2 5 】

第 1 の強誘電体メモリによると、プレート線におけるビット線コンタクトの近
傍部には切り欠き部が形成されていると共に、トランジスタの活性領域はワード
線方向と交差し且つビット線方向と交差するように延びているため、第 1 の従来
例に比べて、メモリセルのビット線方向の長さを短くできるので、メモリセルの

面積ひいてはメモリセルアレイの面積を低減することができる。

【0026】

前記の第1の目的を達成するため、本発明に係る第2の強誘電体メモリは、トランジスタ及び強誘電体キャパシタを有する複数のメモリセルがマトリックス状に配置されてなる強誘電体メモリを対象とし、複数のメモリセルのうちワード線方向に隣接する1組のメモリセルの強誘電体キャパシタはビット線方向に互いにオフセットするように配置されており、プレート線は1組のメモリセルの強誘電体キャパシタに対して共通に設けられており、ビット線とトランジスタの活性領域とを接続するビット線コンタクトは、ビット線方向に隣接するプレート線同士の間配置されている。

【0027】

第2の強誘電体メモリによると、ワード線方向に隣接する1組のメモリセルの強誘電体キャパシタはビット線方向に互いにオフセットするように配置されているため、第1の従来例に比べて、メモリセルのワード線方向の長さは大きく低減する。また、プレート線は1組のメモリセルの強誘電体キャパシタに対して共通に設けられていると共に、ビット線コンタクトはプレート線同士の間配置されているため、メモリセルのビット線方向の長さは、第1の従来例に比べて、メモリセルのワード線方向の長さが低減する割合の逆数よりも小さい程度にしか増加しない。従って、第1の従来例に比べて、メモリセルの面積ひいてはメモリセルアレイの面積を低減することができる。

【0028】

前記第1の目的を達成するため、本発明に係る第3の強誘電体メモリは、トランジスタ及び強誘電体キャパシタを有する複数のメモリセルがマトリックス状に配置されてなる強誘電体メモリを対象とし、複数のメモリセルのうちワード線方向に隣接する1組のメモリセルの強誘電体キャパシタはビット線方向に互いにオフセットするように配置されており、ワード線は1組のメモリセルのトランジスタに対して共通に設けられており、プレート線は1組のメモリセルの各メモリセルの強誘電体キャパシタ毎に設けられており、ビット線とトランジスタの活性領域とを接続するビット線コンタクトは、1組のメモリセルと対応する複数のプレ

ート線からなるプレート線群同士の間に配置されている。

【 0 0 2 9 】

第 3 の強誘電体メモリによると、ワード線方向に隣接する 1 組のメモリセルの強誘電体キャパシタはビット線方向に互いにオフセットするように配置されているため、第 1 の従来例に比べて、メモリセルのワード線方向の長さは大きく低減する。また、ビット線コンタクトは、1 組のメモリセルと対応する複数のプレート線からなるプレート線群同士の間に配置されているため、メモリセルのビット線方向の長さは、第 1 の従来例に比べて、メモリセルのワード線方向の長さが低減する割合の逆数よりも小さい程度にしか増加しない。従って、第 1 の従来例に比べて、メモリセルの面積ひいてはメモリセルアレイの面積を低減することができる。

【 0 0 3 0 】

第 3 の強誘電体メモリにおいては、プレート線は 1 組のメモリセルの各メモリセルの強誘電体キャパシタ毎に設けられているため、第 2 の強誘電体メモリに比べて、メモリセルのビット線方向の長さは大きくなるが、1 組のメモリセルの強誘電体キャパシタに信号を送るビット線同士はプレート線を共用しない。このため、第 1 の従来例の課題の項において説明した、ビット線間に存在する容量に起因するノイズの発生を防止できるので、ノイズに起因する誤動作を防止することができる。

【 0 0 3 1 】

前記第 1 の目的を達成するため、本発明に係る第 4 の強誘電体メモリは、トランジスタ及び強誘電体キャパシタを有する複数のメモリセルがマトリックス状に配置されてなる強誘電体メモリを対象とし、複数のメモリセルのうちワード線方向に隣接する 1 組のメモリセルの強誘電体キャパシタはビット線方向に互いにオフセットするように配置されており、プレート線は 1 組のメモリセルの強誘電体キャパシタに対して共通に設けられており、ビット線とトランジスタの活性領域とを接続するビット線コンタクトは、プレート線に対するビット線方向の両側に配置されている。

【 0 0 3 2 】

第4の強誘電体メモリによると、ワード線方向に隣接する1組のメモリセルの強誘電体キャパシタはビット線方向に互いにオフセットするように配置されているため、第1の従来例に比べて、メモリセルのワード線方向の長さは大きく低減する。また、プレート線は1組のメモリセルの強誘電体キャパシタに対して共通に設けられていると共に、ビット線コンタクトはプレート線のビット線方向の両側に配置されているため、メモリセルのビット線方向の長さは、第1の従来例に比べて、メモリセルのワード線方向の長さが低減する割合の逆数よりも小さい程度にしか増加しない。従って、第1の従来例に比べて、メモリセルの面積ひいてはメモリセルアレイの面積を低減することができる。

【 0 0 3 3 】

前記第2の目的を達成するため、本発明に係る第5の強誘電体メモリは、トランジスタ及び強誘電体キャパシタを有する複数のメモリセルがマトリックス状に配置されてなる強誘電体メモリを対象とし、複数のメモリセルのトランジスタの活性領域は強誘電体キャパシタ同士の間をビット線方向に延びており、ワード線は、活性領域における強誘電体キャパシタ同士の間をビット線方向に延びる領域の上に形成され相対的に広い幅を有するゲート電極部と、強誘電体キャパシタのビット線方向に形成され相対的に狭い幅を有する配線部とを有している。

【 0 0 3 4 】

第5の強誘電体メモリによると、ワード線は、活性領域における強誘電体キャパシタ同士の間をビット線方向に延びる領域の上に形成され相対的に広い幅を有するゲート電極部と、強誘電体キャパシタのビット線方向に形成され相対的に狭い幅を有する配線部とを有しているため、トランジスタのゲート長を第2の従来例のトランジスタのゲート長と同一寸法に設定しても、ワード線のゲート電極部及び配線部はいずれも、ワード線方向に延びるプレート線の領域から外側にはみ出さないように形成することができる。このため、第2の従来例に比べて、メモリセルのビット線方向の長さを小さくすることができるので、メモリセルの面積ひいてはメモリセルアレイの面積を低減することができる。

【 0 0 3 5 】

前記第2の目的を達成するため、本発明に係る第6の強誘電体メモリは、トラ

ンジスタ及び強誘電体キャパシタを有する複数のメモリセルがマトリックス状に配置されてなる強誘電体メモリを対象とし、複数のメモリセルを構成する複数の強誘電体キャパシタのうち、ビット線コンタクトを介してビット線方向に隣接する強誘電体キャパシタ同士はワード線方向にオフセットしていない一方、ビット線コンタクトを介することなくビット線方向に隣接する強誘電体キャパシタ同士はワード線方向にオフセットするように配置されており、複数のメモリセルのトランジスタの活性領域は、ワード線方向に隣接する強誘電体キャパシタ同士の間をビット線方向に延びており、ワード線は、活性領域の上に形成され相対的に広い幅を有するゲート電極部と、強誘電体キャパシタのビット線方向に形成され相対的に狭い幅を有する配線部とを有している。

【 0 0 3 6 】

第6の強誘電体メモリによると、ワード線は、活性領域の上に形成され相対的に広い幅を有するゲート電極部と、強誘電体キャパシタのビット線方向に形成され相対的に狭い幅を有する配線部とを有しているため、トランジスタのゲート長を第2の従来例のトランジスタのゲート長と同一寸法に設定しても、ワード線のゲート電極部及び配線部はいずれも、ワード線方向に延びるプレート線の領域から外側にはみ出さないように形成することができる。このため、第2の従来例に比べて、メモリセルのビット線方向の長さを小さくすることができるので、メモリセルの面積ひいてはメモリセルアレイの面積を低減することができる。

【 0 0 3 7 】

前記第2の目的を達成するため、本発明に係る第7の強誘電体メモリは、トランジスタ及び強誘電体キャパシタを有する複数のメモリセルがマトリックス状に配置されてなる強誘電体メモリを対象とし、複数のメモリセルのうちワード線方向に隣接する一対のメモリセルの強誘電体キャパシタはビット線方向にオフセットするように配置されており、プレート線は一対のメモリセルの強誘電体キャパシタに対して共通に設けられており、ワード線は、一対のメモリセルのトランジスタに対して共通に設けられていると共に、一対のメモリセルの強誘電体キャパシタ同士に形成されている。

【 0 0 3 8 】

第7の強誘電体メモリによると、プレート線及びワード線が一对のメモリセルの強誘電体キャパシタに対して共通に設けられていると共に、ワード線が一对のメモリセルの強誘電体キャパシタ同士に形成されているため、トランジスタのゲート長を第2の従来例のトランジスタのゲート長と同一寸法に設定しても、第2の従来例に比べて、メモリセルのビット線方向の長さを小さくすることができるので、メモリセルの面積ひいてはメモリセルアレイの面積を低減することができる。

【 0 0 3 9 】

第7の強誘電体メモリにおいて、ワード線の線幅は、一对のメモリセルの強誘電体キャパシタ同士の間隔と同程度の大きさ以下に設定されていることが好ましい。

【 0 0 4 0 】

このようにすると、メモリセルのビット線方向の長さを一層小さくすることができるので、メモリセルの面積ひいてはメモリセルアレイの面積を一層低減することができる。

【 0 0 4 1 】

前記第2の目的を達成するため、本発明に係る第8の強誘電体メモリは、トランジスタ及び強誘電体キャパシタを有する複数のメモリセルがマトリックス状に配置されてなる強誘電体メモリを対象とし、複数のメモリセルのうちワード線方向に隣接する一对のメモリセルの強誘電体キャパシタはビット線方向にオフセットするように配置されており、一对のメモリセルのうちの一方のメモリセルのトランジスタの活性領域は、一对のメモリセルのうちの他方のメモリセルの強誘電体キャパシタ同士の間を他方の強誘電体メモリセルのプレート線と交差してビット線方向に延びており、一方のメモリセルのトランジスタに対して第1のワード線が設けられていると共に、他方のメモリセルのトランジスタに対して第2のワード線が設けられており、第2のワード線は、一方のメモリセルのトランジスタの活性領域と交差する領域においては、該活性領域をオフ状態にさせることがない程度に狭い幅に形成されている。

【 0 0 4 2 】

第 8 の強誘電体メモリによると、第 2 のワード線は、一方のメモリセルのトランジスタの活性領域と交差する領域においては、該活性領域をオフ状態にさせることがない程度に狭い幅に形成されているため、トランジスタのゲート長を第 2 の従来例のトランジスタのゲート長と同一寸法に設定しても、第 2 の従来例に比べて、メモリセルのビット線方向の長さを小さくすることができるので、メモリセルの面積ひいてはメモリセルアレイの面積を低減することができる。

【 0 0 4 3 】

前記第 2 の目的を達成するため、本発明に係る第 9 の強誘電体メモリは、トランジスタ及び強誘電体キャパシタを有する複数のメモリセルがマトリックス状に配置されてなる強誘電体メモリを対象とし、ビット線は、複数のメモリセルのうちワード線方向に隣接する一対のメモリセルの強誘電体キャパシタ同士の間をビット線方向に延びる活性領域からなると共に、複数のメモリセルのトランジスタの活性領域と一体に形成されており、ワード線は、ビット線の上に形成されビット線をオフ状態にさせることがない狭い幅の配線部と、トランジスタの活性領域の上に形成され配線部よりも幅が広いゲート電極部とを有している。

【 0 0 4 4 】

第 9 の強誘電体メモリによると、ワード線は、ビット線の上に形成されビット線をオフ状態にさせることがない狭い幅の配線部と、トランジスタの活性領域の上に形成され配線部よりも幅が広いゲート電極部とを有しているため、トランジスタのゲート長を第 2 の従来例のトランジスタのゲート長と同一寸法に設定しても、第 2 の従来例に比べて、メモリセルのビット線方向の長さを小さくすることができるので、メモリセルの面積ひいてはメモリセルアレイの面積を低減することができる。

【 0 0 4 5 】

【発明の実施の形態】

(第 1 の実施形態)

以下、第 1 の実施形態に係る強誘電体メモリについて、図 1、図 2 及び図 3 を参照しながら説明する。

【 0 0 4 6 】

図 1 及び図 2 は第 1 の実施形態に係る強誘電体メモリセルアレイのレイアウトを示し、図 3 は図 1 及び図 2 における A-A 線の断面構造を示している。尚、図 2 は、図 1 に示すレイアウトから、活性領域、ワード線、ビット線コンタクト及びストレージノードコンタクトのみを抜き出して示している。

【 0 0 4 7 】

図 1、図 2 及び図 3 において、1 0 1 a、1 0 1 b、1 0 1 c、1 0 1 d は強誘電体キャパシタの上部電極からなるプレート線を示し、1 0 2 a、1 0 2 b、1 0 2 c、1 0 2 d は多結晶シリコンよりなりアクセストランジスタのゲート電極からなるワード線を示し、1 0 3 a、1 0 3 b、1 0 3 c、1 0 3 d はアルミニウム配線からなるビット線を示し、1 0 4 a、1 0 4 b、1 0 4 c、1 0 4 d は強誘電体キャパシタの下部電極からなる強誘電体メモリセルのストレージノードを示し、1 0 8 は 1 トランジスタ 1 キャパシタ型の 1 ビットの強誘電体メモリセルを示し、1 0 9 は強誘電体メモリセル 1 0 8 を構成するトランジスタを示している。また、1 0 5 a はストレージノード 1 0 4 a とトランジスタ 1 0 9 の活性領域 1 0 6 とを接続するストレージノードコンタクトを示し、1 0 7 は、ビット線 1 0 3 a とトランジスタ 1 0 9 の活性領域 1 0 6 とを接続するビット線コンタクトを示している。

【 0 0 4 8 】

また、図 1 において、b 1 は、ストレージノード 1 0 4 a ～ 1 0 4 d を含むプレート線 1 0 1 a ～ 1 0 1 d の線幅を示し、c 1 は、ビット線コンタクト 1 0 7 を介することなく隣接するプレート線 1 0 1 b、1 0 1 c 間の距離である第 1 のプレート線間距離を示し、c 2 はビット線コンタクト 1 0 7 を介して隣接するプレート線 1 0 1 a、1 0 1 b 間の距離である第 2 のプレート線間距離を示している。

【 0 0 4 9 】

図 1 に示すように、プレート線 1 0 1 a ～ 1 0 1 d は、ワード線方向に隣接する強誘電体メモリセル 1 0 8 のストレージノード 1 0 4 a ～ 1 0 4 d の上をワード線方向（図 1 における左右方向）に延びている。

【 0 0 5 0 】

ビット線 1 0 3 a ~ 1 0 3 d は、ワード線方向に隣接する強誘電体メモリセルのストレージノード 1 0 4 a ~ 1 0 4 d 同士の間をビット線方向（図 1 における上下方向）に延びている。

【 0 0 5 1 】

ビット線コンタクト 1 0 7 は、ビット線 1 0 3 a の下で且つビット線方向に隣接するプレート線（1 0 1 a、1 0 1 b）同士の間配置されている。

【 0 0 5 2 】

プレート線 1 0 1 a におけるビット線コンタクト 1 0 7 の近傍部には切り欠き部が形成されており、これによって、プレート線 1 0 1 a の側端とビット線コンタクト 1 0 7 との間には所定の間隔が確保されている。

【 0 0 5 3 】

ワード線 1 0 2 a は、ストレージノードコンタクト 1 0 5 とビット線コンタクト 1 0 7 との間を折れ曲がりながらジグザグ状に延びている。

【 0 0 5 4 】

トランジスタ 1 0 9 の活性領域 1 0 6 は、ビット線方向に隣接する一対のストレージノードコンタクト 1 0 5 a、1 0 5 b と、該一対のストレージノードコンタクト 1 0 5 a、1 0 5 b に隣接するビット線コンタクト 1 0 7 とを結ぶように L 字状に形成されており、これによって、トランジスタ 1 0 9 の活性領域 1 0 6 は、ワード線方向と交差し且つビット線方向と交差するように延びている。

【 0 0 5 5 】

第 1 の実施形態においては、第 2 のプレート線間距離 c 2 は、第 1 のプレート線間距離 c 1 と等しく設定されている。

【 0 0 5 6 】

このため、強誘電体メモリセル 1 0 8 のビット線方向の長さ L 1 は、
 $L 1 = b 1 + c 1$ で与えられる。

【 0 0 5 7 】

また、第 1 の従来例では、強誘電体メモリセル 1 8 のビット線方向の長さ L 1 は、
 $L 1 = a 1 / 2 + b 1 + c 1 / 2$ で与えられているので、
 第 1 の従来例と第 1 の実施形態とでは、強誘電体メモリセルのビット線方向の長

さの差 $L_{11} - L_1$ は、 $L_{11} - L_1 = (a_1 - c_1) / 2$ で与えられる。

【0058】

前述のように、 $a_1 > c_1$ の関係があるので、 $L_{11} > L_1$ の関係が成り立つ。

【0059】

従って、第1の実施形態における強誘電体メモリセル108の面積は、第1の従来例における強誘電体メモリセル18の面積よりも小さくなる。

【0060】

(第1の実施形態の変形例)

図4は、第1の実施形態の変形例に係る強誘電体メモリセルアレイのレイアウトを示している。

【0061】

第1の実施形態においては、トランジスタ109の活性領域106は、ビット線方向に隣接する一対のストレージノードコンタクト105a、105bと、該一対のストレージノードコンタクト105a、105bに隣接するビット線コンタクト107とを結ぶようにL字状に形成されていたが、変形例においては、トランジスタ109の活性領域106は、ビット線方向及びワード線方向にそれぞれ隣接する、つまり斜め方向に位置する一対のストレージノードコンタクト105a、105bと、該一対のストレージノードコンタクト105a、105b同士の間位置するビット線コンタクト107とを結ぶように直線状に形成されており、これによって、トランジスタ109の活性領域106は、ワード線方向と交差し且つビット線方向と交差するように延びている。

【0062】

(第2の実施形態)

以下、第2の実施形態に係る強誘電体メモリについて、図5及び図6を参照しながら説明する。

【0063】

図5及び図6は第2の実施形態に係る強誘電体メモリセルアレイのレイアウトを示している。尚、図6は、図5に示すレイアウトから、活性領域、ワード線、

ビット線コンタクト及びストレージノードコンタクトのみを抜き出して示している。

【0064】

図5及び図6において、201a、201bは強誘電体キャパシタの上部電極からなるプレート線を示し、202a、202bは多結晶シリコンよりなりアクセストランジスタのゲート電極からなるワード線を示し、203a、203b、203c、203d、203e、203f、203g、203hはアルミニウム配線からなるビット線を示し、204a、204b、204c、204d、204e、204f、204g、204hは強誘電体キャパシタの下部電極からなる強誘電体メモリセルのストレージノードを示し、208は1トランジスタ1キャパシタ型の1ビットの強誘電体メモリセルを示し、209a、209bは強誘電体メモリセル208を構成するトランジスタを示している。また、205はストレージノード204a～204hとトランジスタ209a、209bの活性領域206とを接続するストレージノードコンタクトを示し、207は、ビット線203a～203hとトランジスタ209a、209bの活性領域206とを接続するビット線コンタクトを示している。

【0065】

また、図5において、a1は、ビット線コンタクト207を介して隣接するプレート線201a、201b間の距離を示し、b1は第1の従来例におけるストレージノードを含むプレート線12a、12bの線幅を示し、b2は2行分のストレージノード204a～204hを含むプレート線201a、202bの線幅を示し、c1はビット線方向に隣接する一対のストレージノード(204a、204b)、(204c、204d)、(204e、204f)、(204g、204h)同士の距離を示している。

【0066】

図5に示すように、ワード線方向に隣接する一対の強誘電体メモリセル208の強誘電体キャパシタのストレージノード(204a、204b)、(204c、204d)、(204e、204f)、(204g、204h)はビット線方向にオフセットするように配置されている。

【 0 0 6 7 】

尚、強誘電体メモリセル 2 0 8 のワード線方向の長さは、第 1 の従来例に係る強誘電体メモリセル 1 8 のワード線方向の長さの $1/2$ に設定されている。

【 0 0 6 8 】

プレート線 2 0 1 a、2 0 1 b は、ビット線方向にオフセットする一対のメモリセルの強誘電体キャパシタのストレージノード 2 0 4 a ~ 2 0 4 h に対して共通に設けられている。

【 0 0 6 9 】

ワード線 2 0 2 a、2 0 2 b は、ビット線方向にオフセットするように配置された強誘電体キャパシタの各ストレージノード 2 0 4 a ~ 2 0 4 h と対応するトランジスタ 2 0 9 a、2 0 9 b に対して共通に設けられている。

【 0 0 7 0 】

ビット線 2 0 3 a ~ 2 0 3 h は、各ストレージノード 2 0 4 a ~ 2 0 4 h の上を個別に延びている。

【 0 0 7 1 】

ビット線コンタクト 2 0 7 は、各ビット線 2 0 3 a ~ 2 0 3 h の下で且つビット線方向に隣接するプレート線 2 0 1 a、2 0 1 b 同士の間配置されている。

【 0 0 7 2 】

ところで、プレート線 2 0 1 a、2 0 2 b と、ストレージノード 2 0 4 a ~ 2 0 4 h とは同じ材料からなるため、加工可能な最小間隔は等しくなるので、ビット線方向に隣接する一対のストレージノード (2 0 4 a、2 0 4 b)、(2 0 4 c、2 0 4 d)、(2 0 4 e、2 0 4 f)、(2 0 4 g、2 0 4 h) 同士の距離 C 1 は、第 1 の従来例における第 2 のプレート線間距離 C 1 と等しくなる。

【 0 0 7 3 】

第 2 の実施形態においては、2 行分のストレージノード 2 0 4 a ~ 2 0 4 h を含むプレート線 2 0 1 a、2 0 2 b の線幅 b 2 は、 $b 2 < 2 b 1 + c 1$ の関係を満たす。

【 0 0 7 4 】

従って、強誘電体メモリセル 2 0 8 のビット線方向の長さ L 2 は、

$$L 2 = a 1 / 2 + b 2 + c 1 / 2$$

< $a 1 / 2 + 2 b 1 + c 1 + c 1 / 2$ の関係を満たす。

【 0 0 7 5 】

第 2 の実施形態に係る強誘電体メモリセル 2 0 8 のワード線方向の長さは、第 1 の従来例に係る強誘電体メモリセル 1 8 のワード線方向の長さ $W 1 1$ の $1 / 2$ であるから、第 2 の実施形態に係る強誘電体メモリセル 2 0 8 の面積 $S 2$ は、

$$S 2 = (a 1 / 2 + b 2 + c 1 / 2) \times W 1 1 / 2$$

$$< (a 1 / 2 + 2 b 1 + c 1 + c 1 / 2) \times W 1 1 / 2$$

$$< (a 1 / 2 + b 1 + c 1 / 2) \times W 1 1 - (a 1 - c 1) \times W 1 1 / 4$$

の関係を満たす。

【 0 0 7 6 】

前述のように、第 1 の従来例に係る強誘電体メモリセル 1 8 の面積 $S 1 1$ は、

$S 1 1 = (a 1 / 2 + b 1 + c 1 / 2) \times W 1 1$ であると共に、 $(a 1 - c 1)$ は正の値であるから、第 2 の実施形態に係る強誘電体メモリセル 2 0 8 の面積 $S 2$ は、第 1 の従来例に係る強誘電体メモリセル 1 8 の面積 $S 1 1$ よりも小さくなる。

【 0 0 7 7 】

(第 3 の実施形態)

以下、第 3 の実施形態に係る強誘電体メモリについて、図 7 及び図 8 を参照しながら説明する。

【 0 0 7 8 】

図 7 及び図 8 は第 3 の実施形態に係る強誘電体メモリセルアレイのレイアウトを示している。尚、図 8 は、図 7 に示すレイアウトから、活性領域、ワード線、ビット線コンタクト及びストレージノードコンタクトのみを抜き出して示している。

【 0 0 7 9 】

図 7 及び図 8 において、3 0 1 a、3 0 1 b、3 0 1 c、3 0 1 d は強誘電体キャパシタの上部電極からなるプレート線を示し、3 0 2 a、3 0 2 b は多結晶シリコンよりなりアクセストランジスタのゲート電極からなるワード線を示し、

3 0 3 a、3 0 3 b、3 0 3 c、3 0 3 d、3 0 3 e、3 0 3 f、3 0 3 g、3 0 3 h はアルミニウム配線からなるビット線を示し、3 0 4 a、3 0 4 b、3 0 4 c、3 0 4 d、3 0 4 e、3 0 4 f、3 0 4 g、3 0 4 h は強誘電体キャパシタの下部電極からなる強誘電体メモリセルのストレージノードを示し、3 0 8 は 1 トランジスタ 1 キャパシタ型の 1 ビットの強誘電体メモリセルを示し、3 0 9 a、3 0 9 b は強誘電体メモリセル 3 0 8 を構成するトランジスタを示している。また、3 0 5 はストレージノード 3 0 4 a ~ 3 0 4 h とトランジスタ 3 0 9 a、3 0 9 b の活性領域 3 0 6 とを接続するストレージノードコンタクトを示し、3 0 7 は、ビット線 3 0 3 a ~ 3 0 3 h とトランジスタ 3 0 9 a、3 0 9 b の活性領域 3 0 6 とを接続するビット線コンタクトを示している。

【 0 0 8 0 】

図 7 において、a 1 は、ビット線コンタクト 3 0 7 を介して隣接するプレート線 3 0 1 b、3 0 1 c 間の距離である第 1 のプレート線間距離を示し、b 1 は、ストレージノード 3 0 4 a ~ 3 0 4 h を含むプレート線 3 0 1 a ~ 3 0 1 d の線幅を示し、c 1 は、ビット線コンタクト 3 0 7 を介することなく隣接するプレート線 3 0 1 a、3 0 1 b 間の距離である第 2 のプレート線間距離を示している。

【 0 0 8 1 】

図 7 に示すように、ワード線方向に隣接する一対の強誘電体メモリセル 3 0 8 の強誘電体キャパシタのストレージノード (3 0 4 a、3 0 4 b)、(3 0 4 c、3 0 4 d)、(3 0 4 e、3 0 4 f)、(3 0 4 g、3 0 4 h) はビット線方向にオフセットするように配置されている。

【 0 0 8 2 】

尚、強誘電体メモリセル 3 0 8 のワード線方向の長さは、第 1 の従来例に係る強誘電体メモリセル 1 8 のワード線方向の長さの $1/2$ に設定されている。

【 0 0 8 3 】

ワード線 3 0 2 a、3 0 2 b は、ビット線方向にオフセットするように配置された一対の強誘電体キャパシタの各ストレージノード 3 0 4 a ~ 3 0 4 h と対応するトランジスタ 3 0 9 a、3 0 9 b に対して共通に設けられている。

【 0 0 8 4 】

プレート線 301a、301b は、ワード線方向の同一線上に位置する強誘電体キャパシタのストレージノード (304a、304c、304e、304g)、(304b、304d、304f、304h) に対して個別に設けられている。すなわち、1本のワード線 302a、302b に対して、2本のプレート線 301a、301b が設けられている。

【0085】

第3の実施形態においては、強誘電体メモリセル 308 のビット線方向の長さ L3 は、 $L3 = (a1/2) + 2b1 + c1 + (c1/2)$ の関係を満たす。

【0086】

第3の実施形態に係る強誘電体メモリセル 308 のワード線方向の長さは、第1の従来例に係る強誘電体メモリセル 18 のワード線方向の長さ W11 の $1/2$ であるから、第3の実施形態に係る強誘電体メモリセル 308 の面積 S3 は、

$$S3 = (a1/2 + 2b1 + c1 + c1/2) \times W11/2$$

$< (a1/2 + b1 + c1/2) \times W11 - (a1 - c1) \times W11/4$ の関係を満たす。

【0087】

前述のように、第1の従来例に係る強誘電体メモリセル 18 の面積 S11 は、

$S11 = (a1/2 + b1 + c1/2) \times W11$ であると共に、 $(a1 - c1)$ は正の値であるから、第3の実施形態に係る強誘電体メモリセル 308 の面積 S3 は、第1の従来例に係る強誘電体メモリセル 18 の面積 S11 よりも小さくなる。

【0088】

また、第3の実施形態においては、強誘電体メモリセル 308 のデータを読み書きする際には、プレート線 301a のみが駆動されるため、ワード線 302a を介してプレート線 301a と接続されるのは、ビット線 303a、303b、303c、303d であって、これらのビット線 303a、303b、303c、303d は互いに隣接してない。また、例えばビット線 303a と、該ビット線 303a に隣接するビット線 303e とはプレート線を共用しない。従って、ノイズによる誤動作は発生しない。

【 0 0 8 9 】

(第 4 の実施形態)

以下、第 4 の実施形態に係る強誘電体メモリについて、図 9 及び図 1 0 を参照しながら説明する。

【 0 0 9 0 】

図 9 及び図 1 0 は第 4 の実施形態に係る強誘電体メモリセルアレイのレイアウトを示している。尚、図 1 0 は、図 9 に示すレイアウトから、活性領域、ワード線、ビット線コンタクト及びストレージノードコンタクトのみを抜き出して示している。

【 0 0 9 1 】

図 9 及び図 1 0 において、4 0 1 は強誘電体キャパシタの上部電極からなるプレート線を示し、4 0 2 a、4 0 2 b は多結晶シリコンよりなりアクセストランジスタのゲート電極からなるワード線を示し、4 0 3 a、4 0 3 b、4 0 3 c、4 0 3 d、4 0 3 e、4 0 3 f、4 0 3 g、4 0 3 h はアルミニウム配線からなるビット線を示し、4 0 4 a、4 0 4 b、4 0 4 c、4 0 4 d、4 0 4 e、4 0 4 f、4 0 4 g、4 0 4 h は強誘電体キャパシタの下部電極からなる強誘電体メモリセルのストレージノードを示し、4 0 8 は 1 トランジスタ 1 キャパシタ型の 1 ビットの強誘電体メモリセルを示し、4 0 9 は強誘電体メモリセル 4 0 8 を構成するトランジスタを示している。また、4 0 5 はストレージノード 4 0 4 a ～ 4 0 4 h とトランジスタ 4 0 9 の活性領域 4 0 6 とを接続するストレージノードコンタクトを示し、4 0 7 は、ビット線 4 0 3 a ～ 4 0 3 h とトランジスタ 4 0 9 の活性領域 4 0 6 とを接続するビット線コンタクトを示している。

【 0 0 9 2 】

また、図 9 において、a 1 はビット線コンタクト 4 0 7 を介して隣接するプレート線 4 0 1 間の距離を示し、b 1 は第 1 の従来例におけるストレージノードを含むプレート線 1 1 a、1 1 b の線幅を示し、b 2 は 2 行分のストレージノード 4 0 4 a ～ 4 0 4 h を含むプレート線 4 0 1 a、4 0 2 b の線幅を示し、c 1 はビット線方向に隣接する一対のストレージノード (4 0 4 a、4 0 4 b)、(4 0 4 c、4 0 4 d)、(4 0 4 e、4 0 4 f)、(4 0 4 g、4 0 4 h) 同士の

距離を示している。

【 0 0 9 3 】

図 9 に示すように、ワード線方向に隣接する一対の強誘電体メモリセル 4 0 8 の強誘電体キャパシタのストレージノード (4 0 4 a、4 0 4 b)、(4 0 4 c、4 0 4 d)、(4 0 4 e、4 0 4 f)、(4 0 4 g、4 0 4 h) はビット線方向にオフセットするように配置されている。

【 0 0 9 4 】

尚、強誘電体メモリセル 4 0 8 のワード線方向の長さは、第 1 の従来例に係る強誘電体メモリセル 1 8 のワード線方向の長さの $1/2$ に設定されている。

【 0 0 9 5 】

プレート線 4 0 1 は、ビット線方向にオフセットする一対のメモリセルの強誘電体キャパシタのストレージノード 4 0 4 a ~ 4 0 4 h に対して共通に設けられている。

【 0 0 9 6 】

ワード線 4 0 2 a、4 0 2 b は、ワード線方向の同一線上に位置する強誘電体キャパシタのストレージノード (4 0 4 a、4 0 4 c、4 0 4 e、4 0 4 g)、(4 0 4 b、4 0 4 d、4 0 4 f、4 0 4 h) に対して個別に設けられている。すなわち、2 本のワード線 4 0 2 a、4 0 2 b に対して、1 本のプレート線 4 0 1 が設けられている。

【 0 0 9 7 】

ビット線 4 0 3 a ~ 4 0 3 h は、各ストレージノード 4 0 4 a ~ 4 0 4 h の上を個別に延びている。

【 0 0 9 8 】

ビット線コンタクト 4 0 7 は、各ビット線 4 0 3 a ~ 4 0 3 h の下で且つビット線方向に隣接するプレート線 4 0 1 同士の間配置されている。

【 0 0 9 9 】

ところで、プレート線 4 0 1 とストレージノード 4 0 4 a ~ 4 0 4 h とは同じ材料からなるため、加工可能な最小間隔は等しくなるので、ビット線方向に隣接する一対のストレージノード (4 0 4 a、4 0 4 b)、(4 0 4 c、4 0 4 d)

、(4 0 4 e、4 0 4 f)、(4 0 4 g、4 0 4 h) 同士の距離 C 1 は、第 1 の従来例における第 2 のプレート線間距離 C 1 と等しくなる。

【0 1 0 0】

第 4 の実施形態においては、2 行分のストレージノード 4 0 4 a ~ 4 0 4 h を含むプレート線 4 0 1 の線幅 b 2 は、 $b 2 < 2 b 1 + c 1$ の関係を満たす。

【0 1 0 1】

第 4 の実施形態に係る強誘電体メモリセル 4 0 8 のビット線方向の長さ L 4 は、 $L 4 = a 1 + b 2 < a 1 + 2 b 1 + c 1$ の関係を満たす。

【0 1 0 2】

第 4 の実施形態に係る強誘電体メモリセル 4 0 8 のワード線方向の長さは、第 1 の従来例に係る強誘電体メモリセル 1 8 のワード線方向の長さ W 1 1 の $1/2$ であると共に、前述のように、第 1 の従来例に係る強誘電体メモリセル 1 8 の面積 S 1 1 は、 $S 1 1 = (a 1 / 2 + b 1 + c 1 / 2) \times W 1 1$ であるから、第 4 の実施形態に係る強誘電体メモリセル 4 0 8 の面積 S 4 は、

$$S 4 = (a 1 + 2 b 1) \times W 1 1 / 2$$

$$< (a 1 + 2 b 1 + c 1) \times W 1 1 / 2$$

$$< (a 1 / 2 + b 1 + c 1 / 2) \times W 1 1 = S 1 1 \text{ の関係を満たす。}$$

【0 1 0 3】

従って、第 4 の実施形態に係る強誘電体メモリセル 4 0 8 の面積 S 4 は、第 1 の従来例に係る強誘電体メモリセル 1 8 の面積 S 1 1 よりも小さくなる。

【0 1 0 4】

(第 4 の実施形態の変形例)

図 1 1 は、第 1 の実施形態の変形例に係る強誘電体メモリセルアレイのレイアウトを示している。

【0 1 0 5】

該変形例においては、第 1 の実施形態と同様に、プレート線 4 0 1 におけるビット線コンタクト 4 0 7 の近傍部には切り欠き部が形成されており、ワード線 4 0 2 a、4 0 2 b は、ストレージノードコンタクト 4 0 5 とビット線コンタクト 4 0 7 との間を折れ曲がりながらジグザグ状に延びており、活性領域 4 0 6 は、

ビット線方向に隣接する一対のストレージノードコンタクト405と、該一対のストレージノードコンタクト405に隣接するビット線コンタクト407とを結ぶようにL字状に形成されている。

【0106】

(第5の実施形態)

以下、第5の実施形態に係る強誘電体メモリについて、図12、図13及び図14を参照しながら説明する。

【0107】

図12及び図13は第4の実施形態に係る強誘電体メモリセルアレイのレイアウトを示し、図14は図12及び図13におけるB-B線の断面構造を示している。尚、図13は、図12に示すレイアウトから、活性領域、ワード線、ビット線コンタクト及びストレージノードコンタクトのみを抜き出して示している。

【0108】

図12、図13及び図14において、501a、501b、501c、501dは強誘電体キャパシタの上部電極からなるプレート線を示し、502a、502b、502c、502dは多結晶シリコンよりなりアクセストランジスタのゲート電極からなるワード線を示し、503a、503b、503c、503dはアルミニウム配線からなるビット線を示し、504a、504b、504c、504dは強誘電体キャパシタの下部電極からなる強誘電体メモリセルのストレージノードを示し、508は1トランジスタ1キャパシタ型の1ビットの強誘電体メモリセルを示し、509は強誘電体メモリセル508を構成するトランジスタを示している。また、505はストレージノード504a～504dとトランジスタ509の活性領域506とを接続するストレージノードコンタクトを示し、507はビット線503a～503dとトランジスタ509の活性領域506とを接続するビット線コンタクトを示している。

【0109】

また、図12において、a1は、ビット線コンタクト507を介して隣接するプレート線501a、501b間の第1のプレート線間距離を示し、b1は、ストレージノード504a～504dを含むプレート線501a～501dの

線幅を示し、c 1 は、ビット線コンタクト 5 0 7 を介することなく隣接するプレート線 5 0 1 b、5 0 1 c 間の距離である第 2 のプレート線間距離を示している。

【 0 1 1 0 】

図 1 2 に示すように、プレート線 5 0 1 a ~ 5 0 1 d は、ワード線方向に隣接する強誘電体メモリセルのストレージノード 5 0 4 a ~ 5 0 4 d の上をワード線方向に延びている。

【 0 1 1 1 】

ビット線 5 0 3 a ~ 5 0 3 d は、ワード線方向に隣接する強誘電体メモリセルのストレージノード 5 0 4 a ~ 5 0 4 d 同士の間を延びている。

【 0 1 1 2 】

ビット線コンタクト 5 0 7 は、ビット線 5 0 3 a ~ 5 0 3 d の下で且つビット線方向に隣接するプレート線 (5 0 1 a、5 0 1 b)、(5 0 1 c、5 0 1 d) 同士の間配置されている。

【 0 1 1 3 】

トランジスタ 5 0 9 a、5 0 9 b の活性領域 5 0 6 は、ビット線方向に隣接する一対のストレージノードコンタクト 5 0 5 a、5 0 5 b から互いに互いに離れるように延びた後、ビット線 5 0 3 a の方に折れ曲がり、その後、ビット線 5 0 3 a の下側つまりストレージノード同士の間をビット線方向に延びている。

【 0 1 1 4 】

ワード線 5 0 2 a ~ 5 0 2 d は、活性領域 5 0 6 におけるストレージノード 5 0 4 a ~ 5 0 4 d 同士の間をビット線方向に延びる領域の上に形成され相対的に広い幅を有するゲート電極部と、ストレージノード 5 0 4 a ~ 5 0 4 d の近傍に形成され相対的に狭い幅を有する配線部とを有している。

【 0 1 1 5 】

ところで、第 5 の実施形態においては、ワード線 5 0 2 a ~ 5 0 2 d は、活性領域 5 0 6 におけるストレージノード 5 0 4 a ~ 5 0 4 d 同士の間をビット線方向に延びる領域の上に形成され相対的に広い幅を有するゲート電極部と、ストレージノード 5 0 4 a ~ 5 0 4 d の近傍に形成され相対的に狭い幅を有する配線部

とを有しているため、トランジスタ 5 0 9 のゲート長を第 2 の従来例のトランジスタ 2 9 のゲート長と同一寸法に設定しても、ワード線 5 0 2 a ~ 5 0 2 d をプレート線 5 0 1 a ~ 5 0 1 d からはみ出さないように形成することができる。

【 0 1 1 6 】

第 5 の実施形態に係る強誘電体メモリセル 5 0 8 のビット線方向の長さ L_5 は、 $L_5 = a_1 / 2 + b_1 + c_1 / 2$ で与えられる。

【 0 1 1 7 】

一方、第 2 の従来例に係る強誘電体メモリセル 2 8 のビット線方向の長さ L_1 は、 $L_1 = d + e + f + b_1 / 2 + c_1 / 2$ で与えられる。

【 0 1 1 8 】

従って、 $L_1 - L_5 = (d + e + f) - (a_1 / 2 + b_1 / 2)$ が成り立つ。

【 0 1 1 9 】

ところで、第 2 の従来例の課題の項において説明したように、

$d + e + f = a_2 / 2 + b_1 / 2 > a_1 / 2 + b_1 / 2$ の関係があるので、 $L_1 > L_5$ となる。

【 0 1 2 0 】

従って、第 5 の実施形態に係る強誘電体メモリセル 5 0 8 の面積を、第 2 の従来例に係る強誘電体メモリセル 2 8 の面積よりも小さくすることができる。

【 0 1 2 1 】

この場合、トランジスタ 5 0 9 のゲート長 ($= e$) が大きくなればなるほど、第 5 の実施形態に係る強誘電体メモリセル 5 0 8 の面積と、第 2 の従来例に係る強誘電体メモリセル 2 8 の面積との差は大きくなる。

【 0 1 2 2 】

(第 6 の実施形態)

以下、第 6 の実施形態に係る強誘電体メモリについて、図 1 5、図 1 6 及び図 1 7 を参照しながら説明する。

【 0 1 2 3 】

図 1 5 ~ 図 1 7 は第 6 の実施形態に係る強誘電体メモリセルアレイのレイアウト

トを示している。尚、図 1 6 は図 1 5 に示すレイアウトから、プレート線、ワード線、ビット線、ストレージノード及びビット線コンタクトのみを抜き出して示しており、図 1 7 は、図 1 5 に示すレイアウトから、活性領域、ワード線、ビット線コンタクト及びストレージノードコンタクトのみを抜き出して示している。

【 0 1 2 4 】

図 1 5 ～ 図 1 7 において、6 0 1 a、6 0 1 b、6 0 1 c、6 0 1 d は強誘電体キャパシタの上部電極からなるプレート線を示し、6 0 2 a、6 0 2 b、6 0 2 c、6 0 2 d は多結晶シリコンよりなりアクセストランジスタのゲート電極からなるワード線を示し、6 0 3 a、6 0 3 b、6 0 3 c、6 0 3 d はアルミニウム配線からなるビット線を示し、6 0 4 a、6 0 4 b、6 0 4 c、6 0 4 d は強誘電体キャパシタの下部電極からなる強誘電体メモリセルのストレージノードを示し、6 0 8 は 1 トランジスタ 1 キャパシタ型の 1 ビットの強誘電体メモリセルを示し、6 0 9 は強誘電体メモリセル 6 0 8 を構成するトランジスタを示している。また、6 0 5 はストレージノード 6 0 4 a とトランジスタ 6 0 9 の活性領域 6 0 6 とを接続するストレージノードコンタクトを示し、6 0 7 は、ビット線 6 0 3 a とトランジスタ 6 0 9 の活性領域 6 0 6 とを接続するビット線コンタクトを示している。

【 0 1 2 5 】

図 1 5 及び図 1 6 において、a 1 は、ビット線コンタクト 6 0 7 を介して隣接するプレート線（6 0 1 a、6 0 1 b）、（6 0 1 c、6 0 1 d）間の距離である第 1 のプレート線間距離を示し、b 1 は、ストレージノード 6 0 4 a ～ 6 0 4 d を含むプレート線 6 0 1 a ～ 6 0 1 d の線幅を示し、c 1 は、ビット線コンタクト 6 0 7 を介することなく隣接するプレート線 6 0 1 b、6 0 1 c 間の距離である第 2 のプレート線間距離を示している。

【 0 1 2 6 】

図 1 5 に示すように、ビット線コンタクト 6 0 7 を介してビット線方向に隣接する強誘電体メモリセル（6 0 8 a と 6 0 8 b）の強誘電体キャパシタのストレージノード（第 1 行目のストレージノード 6 0 4 a と第 4 行目のストレージノード 6 0 4 e）同士はワード線方向にオフセットしないように（ビット線方向の同

一線上に位置するように) 配置されている一方、ビット線コンタクト 6 0 7 を介することなく同一のビット線を共有し且つ隣接する強誘電体メモリセル (6 0 8 a と 6 0 8 c、又は 6 0 8 b と 6 0 8 d) の強誘電体キャパシタのストレージノード (第 1 行目のストレージノード 6 0 4 a と第 2 行目のストレージノード 6 0 4 f、又は第 3 行目のストレージノード 6 0 4 g と第 4 行目のストレージノード 6 0 8 b) 同士はワード線方向にオフセットするように配置されている。

【 0 1 2 7 】

尚、強誘電体メモリセル 6 0 8 のワード線方向の長さは、第 2 の従来例に係る強誘電体メモリセル 2 8 のワード線方向の長さの $1/2$ に設定されている。

【 0 1 2 8 】

ビット線 6 0 3 a は、ビット線方向に延びた後、ビット線コンタクト 6 0 7 を介することなく同一のビット線を共有し且つ隣接する強誘電体メモリセル (6 0 8 a と 6 0 8 c) の間をワード線方向に折れ曲がり、その後、ビット線コンタクト 6 0 7 を介してビット線方向に隣接するメモリセル (6 0 8 a と 6 0 8 b) の強誘電体キャパシタのストレージノード (第 1 行目のストレージノード 6 0 4 a と第 4 行目のストレージノード 6 0 8 b) の間をビット線方向に延びた後、ビット線コンタクト 6 0 7 を介することなく同一のビット線を共有し且つ隣接するメモリセル (6 0 8 b と 6 0 8 d) の強誘電体キャパシタのストレージノード (第 3 行目のストレージノード 6 0 4 g と第 4 行目のストレージノード 6 0 8 b) の間をワード線方向に折れ曲がり、その後、ビット線方向に延びている。

【 0 1 2 9 】

活性領域 6 0 6 は、ビット線コンタクト 6 0 7 を共有し且つワード線方向にオフセットすることなく配置された 1 組のストレージノード (第 1 行目及び第 4 行目のストレージノード) 同士の間を延びている。

【 0 1 3 0 】

従って、プレート線 6 0 1 a を駆動するときにはワード線 6 0 2 b を動作させる一方、プレート線 6 0 1 b を駆動するときにはワード線 6 0 2 a を動作させる。

【 0 1 3 1 】

ワード線 6 0 2 a ~ 6 0 2 d は、活性領域 6 0 6 の上に形成され相対的に広い幅を有するゲート電極部と、ストレージノード 6 0 4 a ~ 6 0 4 d の近傍に形成され相対的に狭い幅を有する配線部とを有している。

【 0 1 3 2 】

第 6 の実施形態においては、ワード線 6 0 2 b は、活性領域 6 0 6 の上に形成され相対的に広い幅を有するゲート電極部と、ストレージノード 6 0 4 a ~ 6 0 4 d の近傍に形成され相対的に狭い幅を有する配線部とを有しているため、活性領域 6 0 6 上のみにおいてトランジスタ 6 0 9 のゲート長を第 2 の従来例のトランジスタ 2 9 のゲート長と同一寸法に設定することができる。

【 0 1 3 3 】

第 6 の実施形態に係る強誘電体メモリセル 6 0 8 のビット線方向の長さ L_6 は、 $L_6 = a_1 + 2b_1 + c_1$ で与えられる。

【 0 1 3 4 】

第 6 の実施形態に係る強誘電体メモリセル 6 0 8 のワード線方向の長さは、第 2 の従来例に係る強誘電体メモリセル 2 8 のワード線方向の長さ W_{12} の $1/2$ であるから、第 6 の実施形態に係る強誘電体メモリセル 6 0 8 の面積 S_6 は、

$$\begin{aligned} S_6 &= (a_1 + 2b_1 + c_1) \times W_{12} / 2 \\ &= (a_1 / 2 + b_1 + c_1 / 2) \times W_{12} \text{ で与えられる。} \end{aligned}$$

【 0 1 3 5 】

一方、第 2 の従来例に係る強誘電体メモリセル 2 8 の面積 S_{12} は、

$$S_{12} = (d + e + f + b_1 / 2 + c_1 / 2) \times W_{12} \text{ で与えられる。}$$

【 0 1 3 6 】

従って、 $S_{12} - S_6 = \{ (d + e + f) - (a_1 / 2 + b_1 / 2) \} \times W_{12}$ が成り立つ。

【 0 1 3 7 】

ところで、第 2 の従来例の課題の項において説明したように、

$$\begin{aligned} d + e + f &= a_2 / 2 + b_1 / 2 > a_1 / 2 + b_1 / 2 \text{ の関係があるので、} \\ S_{12} &> S_6 \text{ となる。} \end{aligned}$$

【 0 1 3 8 】

従って、第 6 の実施形態に係る強誘電体メモリセル 6 0 8 の面積を、第 2 の従来例に係る強誘電体メモリセル 2 8 の面積よりも小さくすることができる。

【 0 1 3 9 】

この場合、トランジスタ 6 0 9 のゲート長 (= e) が大きくなればなるほど、第 6 の実施形態に係る強誘電体メモリセル 5 0 8 の面積 S 6 と、第 2 の従来例に係る強誘電体メモリセル 2 8 の面積 S 1 2 との差は大きくなる。

【 0 1 4 0 】

(第 7 の実施形態)

以下、第 7 の実施形態に係る強誘電体メモリについて、図 1 8 及び図 1 9 を参照しながら説明する。

【 0 1 4 1 】

図 1 8 及び図 1 9 は第 7 の実施形態に係る強誘電体メモリセルアレイのレイアウトを示している。尚、図 1 9 は、図 1 8 に示すレイアウトから、活性領域、ワード線、ビット線コンタクト及びストレージノードコンタクトのみを抜き出して示している。

【 0 1 4 2 】

図 1 8 及び図 1 9 において、7 0 1 は強誘電体キャパシタの上部電極からなるプレート線を示し、7 0 2 は多結晶シリコンよりなりアクセストランジスタのゲート電極からなるワード線を示し、7 0 3 a、7 0 3 b、7 0 3 c、7 0 3 d、7 0 3 e、7 0 3 f、7 0 3 g、7 0 3 h はアルミニウム配線からなるビット線を示し、7 0 4 a、7 0 4 b、7 0 4 c、7 0 4 d、7 0 4 e、7 0 4 f、7 0 4 g、7 0 4 h は強誘電体キャパシタの下部電極からなる強誘電体メモリセルのストレージノードを示し、7 0 8 は 1 トランジスタ 1 キャパシタ型の 1 ビットの強誘電体メモリセルを示し、7 0 9 は強誘電体メモリセル 7 0 8 を構成するトランジスタを示している。また、7 0 5 はストレージノード 7 0 4 a ~ 7 0 4 h とトランジスタ 7 0 9 の活性領域 7 0 6 とを接続するストレージノードコンタクトを示し、7 0 7 は、ビット線 7 0 3 a ~ 7 0 3 h とトランジスタ 7 0 9 の活性領域 7 0 6 とを接続するビット線コンタクトを示している。

【 0 1 4 3 】

図 1 8 において、a 1 は、ビット線コンタクト 7 0 7 を介して隣接するプレート線 7 0 1 間の距離を示し、b 1 は、第 2 の従来例におけるストレージノードを含むプレート線 2 1 a、2 1 b の線幅を示し、b 2 は 2 行分のストレージノード 7 0 4 a ~ 7 0 4 h を含むプレート線 7 0 1 の線幅を示し、c 1 は、第 2 の従来例におけるビット線コンタクト 2 7 を介することなく隣接するプレート線 2 1 b、2 1 c 間の距離を示している。

【 0 1 4 4 】

図 1 8 に示すように、プレート線 7 0 1 は、2 行分の強誘電体キャパシタのストレージノード 7 0 4 a ~ 7 0 4 h（例えば、第 2 行目のストレージノード 7 0 4 a、7 0 4 c、7 0 4 e、7 0 4 g、及び第 3 行目のストレージノード 7 0 4 b、7 0 4 d、7 0 4 f、7 0 4 h）に対して共通に設けられている。

【 0 1 4 5 】

プレート線 7 0 1 を共通とする 2 行分の強誘電体キャパシタのストレージノード 7 0 4 a ~ 7 0 4 h のうち、一方の行（例えば第 2 行目）のストレージノード 7 0 4 a、7 0 4 c、7 0 4 e、7 0 4 g と、他方の行（例えば第 3 行目）のストレージノード 7 0 4 b、7 0 4 d、7 0 4 f、7 0 4 h とは、ビット線方向に互いにオフセットするように配置されている。

【 0 1 4 6 】

尚、強誘電体メモリセル 7 0 8 のワード線方向の長さは、第 2 の従来例に係る強誘電体メモリセル 2 8 のワード線方向の長さの $1/2$ に設定されている。

【 0 1 4 7 】

ワード線 7 0 2 は、プレート線 7 0 1 を共通とする 2 行分の強誘電体キャパシタ同士の間（例えば、第 2 行目のストレージノード 7 0 4 a、7 0 4 c、7 0 4 e、7 0 4 g と第 3 行目のストレージノード 7 0 4 b、7 0 4 d、7 0 4 f、7 0 4 h との間）に配置されていると共に、プレート線 7 0 1 を共通とする 2 行分の強誘電体キャパシタと対応するトランジスタ 7 0 9 に対して共通に設けられている。

【 0 1 4 8 】

ビット線 7 0 3 a ~ 7 0 3 h は、プレート線 7 0 1 を共通とする 2 行分の強誘

電体キャパシタに対して個別に設けられていると共に、ビット線コンタクト 7 0 7 はビット線 7 0 3 a ~ 7 0 3 h の下側で且つプレート線 7 0 1 同士の間領域に配置されている。

【 0 1 4 9 】

ところで、プレート線 7 0 1 とストレージノード 7 0 4 a ~ 7 0 4 h とは同じ材料からなるため、加工可能な最小間隔は等しくなるので、プレート線 7 0 1 を共通とする 2 行分の強誘電体キャパシタのストレージノード 7 0 4 a ~ 7 0 4 h のうち、一方の行（例えば第 2 行目）のストレージノード 7 0 4 a、7 0 4 c、7 0 4 e、7 0 4 g と、他方の行（例えば第 3 行目）のストレージノード 7 0 4 b、7 0 4 d、7 0 4 f、7 0 4 h との距離 C 1 は、第 2 の従来例における第 2 のプレート線間距離 C 1 と等しくなる。

【 0 1 5 0 】

また、ワード線 7 0 2 の線幅、つまりトランジスタ 7 0 9 のゲート長は、プレート線 7 0 1 を共通とする 2 行分の強誘電体キャパシタのストレージノード 7 0 4 a ~ 7 0 4 h のうち、一方の行（例えば第 2 行目）のストレージノード 7 0 4 a、7 0 4 c、7 0 4 e、7 0 4 g と、他方の行（例えば第 3 行目）のストレージノード 7 0 4 b、7 0 4 d、7 0 4 f、7 0 4 h との距離と同程度に設定することが可能であるから、強誘電体メモリセル 7 0 8 の面積はトランジスタ 7 0 9 のゲート長に依存しない。このため、強誘電体メモリセル 7 0 8 の面積に影響を及ぼすことなくトランジスタ 7 0 9 のゲート長を大きくすることができる。

【 0 1 5 1 】

第 7 の実施形態においては、2 行分のストレージノード 7 0 4 a ~ 7 0 4 h を含むプレート線 7 0 1 の線幅 b 2 は、 $b 2 < 2 b 1 + c 1$ の関係を満たす。

【 0 1 5 2 】

従って、第 7 の実施形態に係る強誘電体メモリセル 7 0 8 のビット線方向の長さ L 7 は、 $L 7 = a 1 + b 2 < a 1 + 2 b 1 + c 1$ で与えられる。

【 0 1 5 3 】

ところで、第 7 の実施形態に係る強誘電体メモリセル 7 0 8 のワード線方向の長さは、第 2 の従来例に係る強誘電体メモリセル 2 8 のワード線方向の長さ W 1

2 の 1 / 2 に設定されているため、第 2 の従来例に係る強誘電体メモリセル 2 8 のワード線方向の長さを W_{12} とし、強誘電体メモリセル 2 8 の面積を S_{12} とすると、第 7 の実施形態に係る強誘電体メモリセル 7 0 8 の面積 S_7 は、

$$S_7 = (a_1 + b_2) \times W_{12} / 2$$

$$< (a_1 + 2b_1 + c_1) \times W_{12} / 2$$

$$< (a_1 / 2 + b_1 + c_1 / 2) \times W_{12} = S_{12} \text{ の関係を満たす。}$$

【0154】

従って、第 7 の実施形態に係る強誘電体メモリセル 7 0 8 の面積を、第 2 の従来例に係る強誘電体メモリセル 2 8 の面積よりも小さくすることができる。

【0155】

(第 8 の実施形態)

以下、第 8 の実施形態に係る強誘電体メモリについて、図 2 0 及び図 2 1 を参照しながら説明する。

【0156】

図 2 0 及び図 2 1 は第 8 の実施形態に係る強誘電体メモリセルアレイのレイアウトを示している。尚、図 2 1 は、図 2 0 に示すレイアウトから、活性領域、ワード線、ビット線コンタクト及びストレージノードコンタクトのみを抜き出して示している。

【0157】

図 2 0 及び図 2 1 において、8 0 1 a、8 0 1 b、8 0 1 c、8 0 1 d は強誘電体キャパシタの上部電極からなるプレート線を示し、8 0 2 a、8 0 2 d は多結晶シリコンよりなりアクセストランジスタのゲート電極からなる第 1 のワード線を示し、8 0 2 b、8 0 2 c は多結晶シリコンよりなりアクセストランジスタのゲート電極からなる第 2 のワード線を示し、8 0 3 a、8 0 3 b、8 0 3 c、8 0 3 d、8 0 3 e、8 0 3 f、8 0 3 g、8 0 3 h はアルミニウム配線からなるビット線を示し、8 0 4 a、8 0 4 b、8 0 4 c、8 0 4 d、8 0 4 e、8 0 4 f、8 0 4 g、8 0 4 h は強誘電体キャパシタの下部電極からなる強誘電体メモリセルのストレージノードを示し、8 0 8 a、8 0 8 b は 1 トランジスタ 1 キャパシタ型の 1 ビットの強誘電体メモリセルを示し、8 0 9 a、8 0 9 b は強誘

電体メモリセル 8 0 8 を構成するトランジスタを示し、8 1 0 はショートチャネルトランジスタを示している。また、8 0 5 a、8 0 5 b はストレージノード 8 0 4 a、8 0 4 b とトランジスタ 8 0 9 a、8 0 9 b の活性領域 8 0 6 a、8 0 6 b とを接続するストレージノードコンタクトを示し、8 0 7 a、8 0 7 b は、ビット線 8 0 3 a ~ 8 0 3 h とトランジスタ 8 0 9 a、8 0 9 b の活性領域 8 0 6 a、8 0 6 b とを接続するビット線コンタクトを示している。

【 0 1 5 8 】

図 2 0 において、a 2 は、ビット線コンタクト 8 0 7 を介して隣接するプレート線 8 0 1 b、8 0 1 c 間の距離である第 1 のプレート線間距離を示し、b 1 は、ストレージノード 8 0 4 a ~ 8 0 4 h を含むプレート線 8 0 1 a ~ 8 0 1 d の線幅を示し、c 1 は、ビット線コンタクト 8 0 7 を介することなく隣接するプレート線 8 0 1 a、8 0 1 b 間の距離である第 2 のプレート線間距離を示し、d は第 2 のワード線 8 0 2 b の一方の側端とビット線コンタクト 8 0 7 a、8 0 7 b の中心との距離を示し、e は第 2 のワード線 8 0 2 b の線幅を示し、f は第 2 のワード線 8 0 2 b の他方の側端とストレージノードコンタクト 8 0 5 b の中心との距離を示している。尚、第 1 のプレート線間距離 a 2 は、プレート線 8 0 1 b、8 0 1 c の加工により得られる最小の距離ではない。

【 0 1 5 9 】

図 2 0 に示すように、ワード線方向に隣接する一対の強誘電体メモリセル 8 0 8 a、8 0 8 b の強誘電体キャパシタのストレージノード 8 0 4 a、8 0 4 b はビット線方向にオフセットするように配置されている。

【 0 1 6 0 】

尚、強誘電体メモリセル 8 0 8 a、8 0 8 b のワード線方向の長さは、第 2 の従来例に係る強誘電体メモリセル 2 8 のワード線方向の長さの $1/2$ に設定されている。

【 0 1 6 1 】

プレート線 8 0 1 a、8 0 1 b は、ワード線方向に隣接する強誘電体メモリセルのストレージノード 8 0 4 a、8 0 4 b に対して個別に設けられている。

【 0 1 6 2 】

ワード線方向に隣接する一対の強誘電体メモリセル 8 0 8 a、8 0 8 b のうちの一方の強誘電体メモリセル 8 0 8 a を構成するトランジスタ 8 0 9 a の活性領域 8 0 6 a は、他方の強誘電体メモリセル 8 0 8 b を構成する強誘電体キャパシタのストレージノード同士の間を他方の強誘電体メモリセル 8 0 8 b のプレート線 8 0 1 b と交差してビット線方向に延びていると共に、他方の強誘電体メモリセル 8 0 8 b を構成するトランジスタ 8 0 9 b の活性領域 8 0 6 b は、一方の強誘電体メモリセル 8 0 8 a を構成するプレート線 8 0 1 a とは交差しない。

【 0 1 6 3 】

第 1 のワード線 8 0 2 a は、一方の強誘電体メモリセル 8 0 8 a を構成するトランジスタ 8 0 9 a と対応していると共に、第 2 のワード線 8 0 2 b は、他方の強誘電体メモリセル 8 0 8 b を構成するトランジスタ 8 0 9 b と対応している。

【 0 1 6 4 】

第 2 のワード線 8 0 2 b は、一方の強誘電体メモリセル 8 0 8 a を構成するトランジスタ 8 0 9 a の活性領域 8 0 6 a と交差する領域においては、該活性領域 8 0 6 a をオフ状態にさせることがない程度に狭い幅に形成されており、これによって、ショートチャネルトランジスタ 8 1 0 が形成されている。

【 0 1 6 5 】

従って、一方の強誘電体メモリセル 8 0 8 a は、通常のトランジスタ 8 0 9 a とショートチャネルトランジスタ 8 1 0 とを有している。この場合、ショートチャネルトランジスタ 8 1 0 のソース・ドレイン間は低インピーダンスであるので、ショートチャネルトランジスタ 8 1 0 が一方の強誘電体メモリセル 8 0 8 a の動作に与える影響は無視することができる。

【 0 1 6 6 】

また、ショートチャネルトランジスタ 8 1 0 を用いることにより、活性領域 8 0 6 a は一方の強誘電体メモリセル 8 0 8 a のストレージノード 8 0 4 a と接続されるトランジスタ 8 0 9 a を構成する第 1 のワード線 8 0 2 a とは異なる第 2 のワード線 8 0 2 b と交差している。

【 0 1 6 7 】

第 8 の実施形態に係る強誘電体メモリセル 8 0 8 a、8 0 8 b のビット線方向

の長さ L_8 は、 $L_8 = d + e + f + b_1 / 2 + c_1 + b_1 + c_1 / 2$ で与えられる。

【 0 1 6 8 】

第 8 の実施形態に係る強誘電体メモリセル 8 0 8 a、8 0 8 b のワード線方向の長さは第 2 の従来例に係る強誘電体メモリセル 2 8 のワード線方向の長さ W_{12} の $1 / 2$ であるから、

強誘電体メモリセル 8 0 8 a、8 0 8 b の面積 S_8 は、

$S_8 = (d + e + f + b_1 / 2 + c_1 + b_1 + c_1 / 2) \times W_{12} / 2$ で与えられる。

【 0 1 6 9 】

$d + e + f > b_1 / 2 + c_1 / 2$ の関係があるから、

$S_8 < (2d + 2e + 2f + b_1 + c_1) \times W_{12} / 2$

$< (d + e + f + b_1 / 2 + c_1 / 2) \times W_{12}$

$= S_{12}$ (第 2 の従来例に係る強誘電体メモリセル 2 8 の面積) の関係が成り立つ。

【 0 1 7 0 】

従って、第 8 の実施形態に係る強誘電体メモリセル 8 0 8 a、8 0 8 b の面積を、第 2 の従来例に係る強誘電体メモリセル 2 8 の面積よりも小さくすることができる。

【 0 1 7 1 】

(第 9 の実施形態)

以下、第 9 の実施形態に係る強誘電体メモリについて、図 2 2、図 2 3 及び図 2 4 を参照しながら説明する。

【 0 1 7 2 】

図 2 2 及び図 2 3 は第 9 の実施形態に係る強誘電体メモリセルアレイのレイアウトを示し、図 2 4 は図 2 2 及び図 2 3 における C-C 線の断面構造を示している。尚、図 2 3 は、図 2 2 に示すレイアウトから、活性領域、ワード線、ビット線コンタクト及びストレージノードコンタクトのみを抜き出して示している。

【 0 1 7 3 】

図 2 2、図 2 3 及び図 2 4 において、9 0 1 a、9 0 1 b、9 0 1 c、9 0 1 d は強誘電体キャパシタの上部電極からなるプレート線を示し、9 0 2 a、9 0 2 b、9 0 2 c は多結晶シリコンよりなりアクセストランジスタのゲート電極からなるワード線を示し、9 0 3 a、9 0 3 b、9 0 3 c、9 0 3 d は活性領域からなるビット線を示し、9 0 4 a、9 0 4 b、9 0 4 c、9 0 4 d は強誘電体キャパシタの下部電極からなる強誘電体メモリセルのストレージノードを示し、9 0 8 は 1 トランジスタ 1 キャパシタ型の 1 ビットの強誘電体メモリセルを示し、9 0 9 は強誘電体メモリセル 9 0 8 を構成するトランジスタを示している。また、9 0 5 はストレージノード 9 0 4 a ~ 9 0 4 d と活性領域からなるビット線 9 0 3 a ~ 9 0 3 d とを接続するストレージノードコンタクトを示している。

【 0 1 7 4 】

図 2 2 において、b 1 は、ストレージノード 9 0 4 a ~ 9 0 4 d を含むプレート線 9 0 1 a ~ 9 0 1 d の線幅を示し、c 1 はビット線コンタクトを介することなく隣接するプレート線 9 0 1 a、9 0 1 b 間の距離を示している。

【 0 1 7 5 】

ビット線は、ビット線方向に並ぶ強誘電体メモリセル 9 0 8 のトランジスタ 9 0 9 の活性領域と一体に形成されていると共に、ワード線方向に隣接する一対の強誘電体メモリセル 9 0 8 の強誘電体キャパシタのストレージノード 9 0 4 a ~ 9 0 4 d 同士の間をビット線方向に延びている。

【 0 1 7 6 】

ワード線 9 0 2 a ~ 9 0 2 c は、ワード線方向に並ぶ強誘電体メモリセル 9 0 8 のトランジスタ 9 0 9 に共通に設けられている。また、ワード線 9 0 2 a ~ 9 0 2 c は、ビット線 9 0 3 a ~ 9 0 3 d の上において該ビット線 9 0 3 a ~ 9 0 3 d をオフ状態にさせることがない狭い幅の配線部を有していると共に、トランジスタ 9 0 9 の活性領域の上に形成され、狭い幅を持つ配線部よりも幅が広いゲート電極部とを有している。

【 0 1 7 7 】

第 9 の実施形態においては、ビット線 9 0 3 a ~ 9 0 3 d は活性領域からなるため、アルミニウム配線からなるビット線を有している場合とは異なり、ビット

線と活性領域とを接続するビット線コンタクトは不要である。

【0178】

第9の実施形態に係る強誘電体メモリセル908のビット線方向の長さL9は、 $L9 = b1 + c1$ で与えられる。

【0179】

$d + e + f > c1 / 2 + b1 / 2$ の関係があるから、

$L9 = (b1 / 2 + c1 / 2) + (b1 / 2 + c1 / 2)$

$< d + e + f + (b1 / 2 + c1 / 2)$

$= L12$ (第2の従来例に係る強誘電体メモリセル28のビット線方向の長さ) の関係が成り立つ。

【0180】

従って、第9の実施形態に係る強誘電体メモリセル908の面積を、第2の従来例に係る強誘電体メモリセル28の面積よりも小さくすることができる。

【0181】

【発明の効果】

本発明に係る第1～第4の強誘電体メモリによると、第1の従来例に比べて、メモリセルの面積ひいてはメモリセルアレイの面積を低減することができる。

【0182】

また、本発明に係る第5～第9の強誘電体メモリによると、トランジスタのゲート長を第2の従来例のトランジスタのゲート長と同一寸法に設定しても、第2の従来例に比べて、メモリセルのビット線方向の長さを小さくすることができるので、メモリセルの面積ひいてはメモリセルアレイの面積を低減することができる。

【図面の簡単な説明】

【図1】

第1の実施形態に係る強誘電体メモリのレイアウト図である。

【図2】

第1の実施形態に係る強誘電体メモリのレイアウト図である。

【図3】

第 1 の実施形態に係る強誘電体メモリの断面図であって、図 1 及び図 2 における A - A 線の断面図である。

【図 4】

第 1 の実施形態の変形例に係る強誘電体メモリのレイアウト図である。

【図 5】

第 2 の実施形態に係る強誘電体メモリのレイアウト図である。

【図 6】

第 2 の実施形態に係る強誘電体メモリのレイアウト図である。

【図 7】

第 3 の実施形態に係る強誘電体メモリのレイアウト図である。

【図 8】

第 3 の実施形態に係る強誘電体メモリのレイアウト図である。

【図 9】

第 4 の実施形態に係る強誘電体メモリのレイアウト図である。

【図 1 0】

第 4 の実施形態に係る強誘電体メモリのレイアウト図である。

【図 1 1】

第 4 の実施形態の変形例に係る強誘電体メモリのレイアウト図である。

【図 1 2】

第 5 の実施形態に係る強誘電体メモリのレイアウト図である。

【図 1 3】

第 5 の実施形態に係る強誘電体メモリのレイアウト図である。

【図 1 4】

第 5 の実施形態に係る強誘電体メモリの断面図であって、図 1 3 及び図 1 4 における B - B 線の断面図である。

【図 1 5】

第 6 の実施形態に係る強誘電体メモリのレイアウト図である。

【図 1 6】

第 6 の実施形態に係る強誘電体メモリのレイアウト図である。

【図 1 7】

第 6 の実施形態に係る強誘電体メモリのレイアウト図である。

【図 1 8】

第 7 の実施形態に係る強誘電体メモリのレイアウト図である。

【図 1 9】

第 7 の実施形態に係る強誘電体メモリのレイアウト図である。

【図 2 0】

第 8 の実施形態に係る強誘電体メモリのレイアウト図である。

【図 2 1】

第 8 の実施形態に係る強誘電体メモリのレイアウト図である。

【図 2 2】

第 9 の実施形態に係る強誘電体メモリのレイアウト図である。

【図 2 3】

第 9 の実施形態に係る強誘電体メモリのレイアウト図である。

【図 2 4】

第 9 の実施形態に係る強誘電体メモリの断面図であって、図 2 2 及び図 2 3 における C - C 線の断面図である。

【図 2 5】

第 1 及び第 2 の従来例並びに第 1 ～第 9 の実施形態に係る強誘電体メモリの回路構成を示す図である。

【図 2 6】

第 1 の従来例に係る強誘電体メモリのレイアウト図である。

【図 2 7】

第 1 の従来例に係る強誘電体メモリのレイアウト図である。

【図 2 8】

第 1 の従来例に係る強誘電体メモリの断面図であって、図 2 6 及び図 2 7 における D - D 線の断面図である。

【図 2 9】

第 2 の従来例に係る強誘電体メモリのレイアウト図である。

【図 3 0】

第 2 の従来例に係る強誘電体メモリのレイアウト図である。

【図 3 1】

第 2 の従来例に係る強誘電体メモリの断面図であって、図 2 9 及び図 3 0 における E - E 線の断面図である。

【符号の説明】

1 0 1 a、1 0 1 b、1 0 1 c、1 0 1 d プレート線
1 0 2 a、1 0 2 b、1 0 2 c、1 0 2 d ワード線
1 0 3 a、1 0 3 b、1 0 3 c、1 0 3 d ビット線
1 0 4 a、1 0 4 b、1 0 4 c、1 0 4 d ストレージノード
1 0 5 ストレージノードコンタクト
1 0 6 活性領域
1 0 7 ビット線コンタクト
1 0 8 強誘電体メモリセル
1 0 9 トランジスタ
2 0 1 a、2 0 1 b プレート線
2 0 2 a、2 0 2 b ワード線
2 0 3 a、2 0 3 b、2 0 3 c、2 0 3 d、2 0 3 e、2 0 3 f、2 0 3 g、
2 0 3 h ビット線
2 0 4 a、2 0 4 b、2 0 4 c、2 0 4 d、2 0 4 e、2 0 4 f、2 0 4 g、
2 0 4 h ストレージノード
2 0 5 ストレージノードコンタクト
2 0 6 活性領域
2 0 7 ビット線コンタクト
2 0 8 強誘電体メモリセル
2 0 9 a、2 0 9 b トランジスタ
3 0 1 a、3 0 1 b、3 0 1 c、3 0 1 d プレート線
3 0 2 a、3 0 2 b ワード線
3 0 3 a、3 0 3 b、3 0 3 c、3 0 3 d、3 0 3 e、3 0 3 f、3 0 3 g、

303h ビット線

304a、304b、304c、304d、304e、304f、304g、

304h ストレージノード

305 ストレージノード

306 活性領域

307 ビット線コンタクト

308 強誘電体メモリセル

309a、309b トランジスタ

401 プレート線

402a、402b ワード線

403a、403b、403c、403d、403e、403f、403g、

403h ビット線

404a、404b、404c、404d、404e、404f、404g、

404h ストレージノード

405 ストレージノードコンタクト

406 活性領域

407 ビット線コンタクト

408 強誘電体メモリセル

409 トランジスタ

501a、501b、501c、501d プレート線

502a、502b、502c、502d ワード線

503a、503b、503c、503d ビット線

504a、504b、504c、504d ストレージノード

505 ストレージノードコンタクト

506 活性領域

507 ビット線コンタクト

508 強誘電体メモリセル

509 トランジスタ

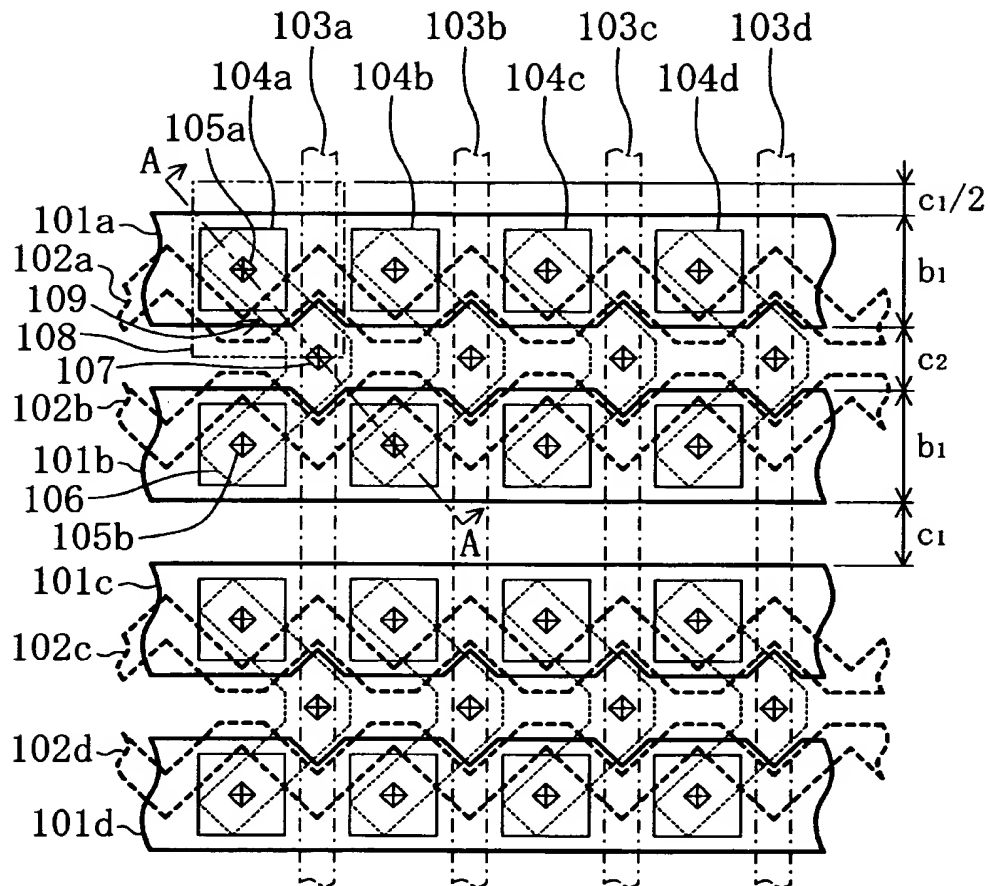
601a、601b、601c、601d プレート線

602 a、602 b、602 c、602 d ワード線
603 a、603 b、603 c、603 d ビット線
604 a、604 b、604 c、604 d ストレージノード
605 ストレージノードコンタクト
606 活性領域
607 ビット線コンタクト
608 強誘電体メモリセル
609 トランジスタ
701 プレート線
702 ワード線
703 a、703 b、703 c、703 d、703 e、703 f、703 g、
703 h ビット線
704 a、704 b、704 c、704 d、704 e、704 f、704 g、
704 h ストレージノード
705 ストレージノードコンタクト
706 活性領域
707 ビット線コンタクト
708 強誘電体メモリセル
709 トランジスタ
801 a、801 b、801 c、801 d プレート線
802 a、802 d 第1のワード線
802 c、802 c 第2のワード線
803 a、803 b、803 c、803 d、803 e、803 f、803 g、
803 h ビット線
804 a、804 b、804 c、804 d、804 e、804 f、804 g、
804 h ストレージノード
805 a、805 b ストレージノードコンタクト
806 a、806 b 活性領域
807 a、807 b ビット線コンタクト

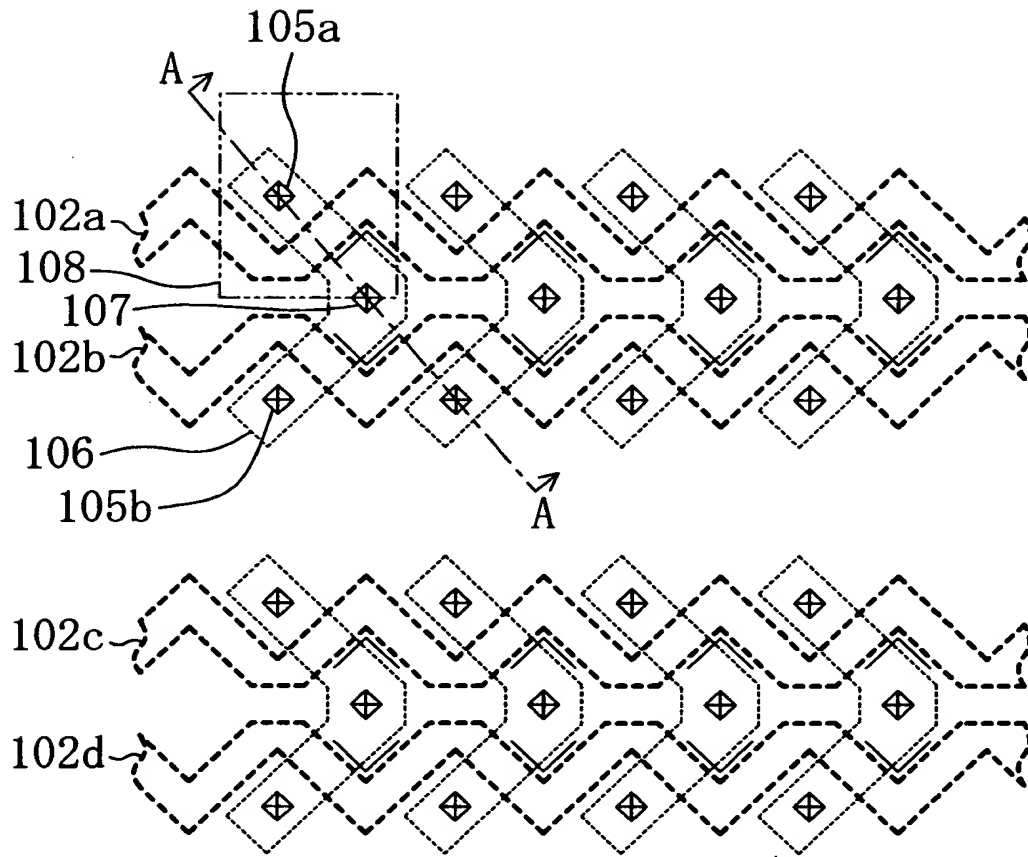
8 0 8 a、8 0 8 b 強誘電体メモリセル
8 0 9 a、8 0 9 b トランジスタ
8 1 0 ショートチャネルトランジスタ
9 0 1 a、9 0 1 b、9 0 1 c、9 0 1 d プレート線
9 0 2 a、9 0 2 b、9 0 2 c ワード線
9 0 3 a、9 0 3 b、9 0 3 c、9 0 3 d ビット線（活性領域）
9 0 4 a、9 0 4 b、9 0 4 c、9 0 4 d ストレージノード
9 0 5 ストレージノードコンタクト
9 0 8 強誘電体メモリセル
9 0 9 トランジスタ

【書類名】 図面

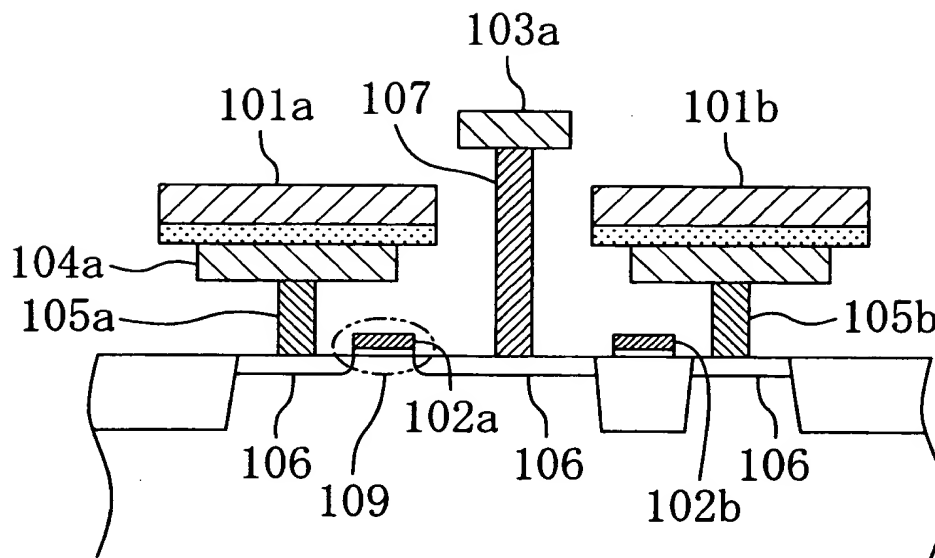
【図 1】



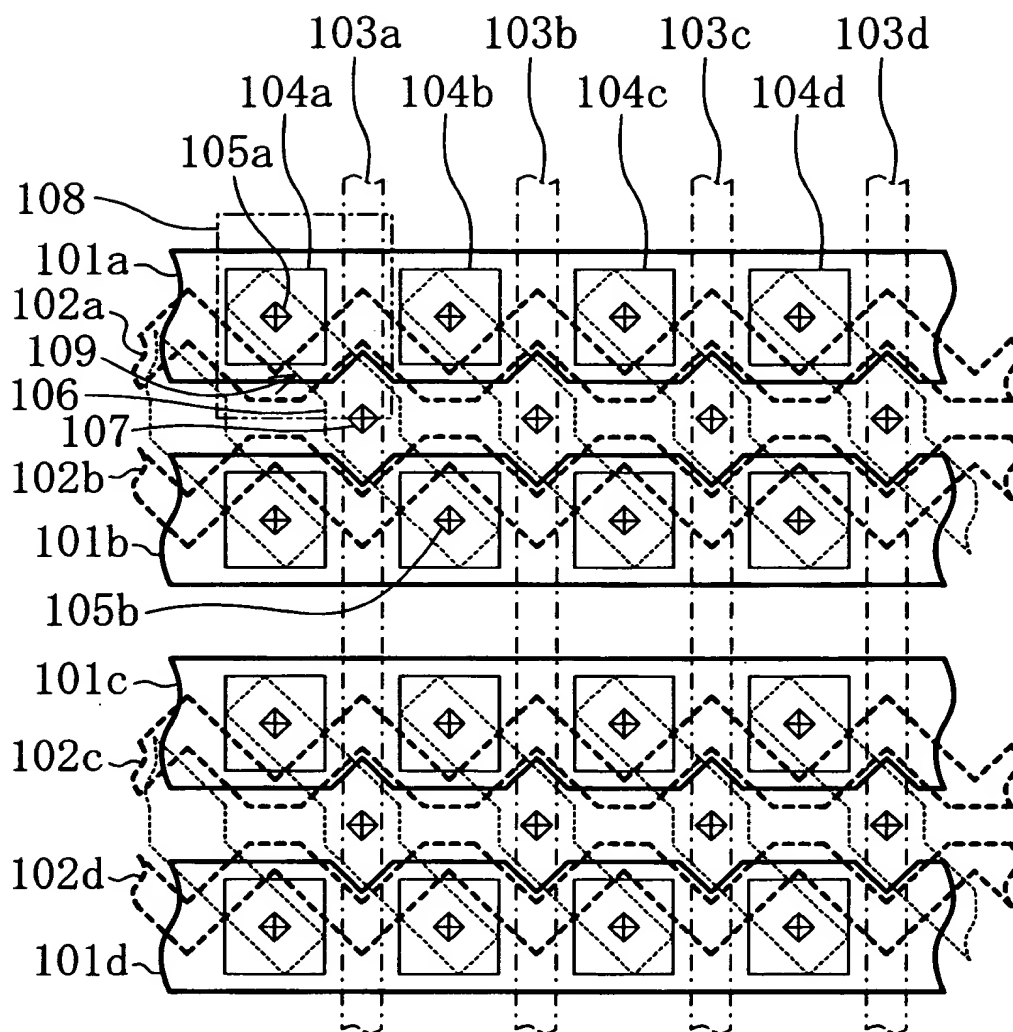
【図 2】



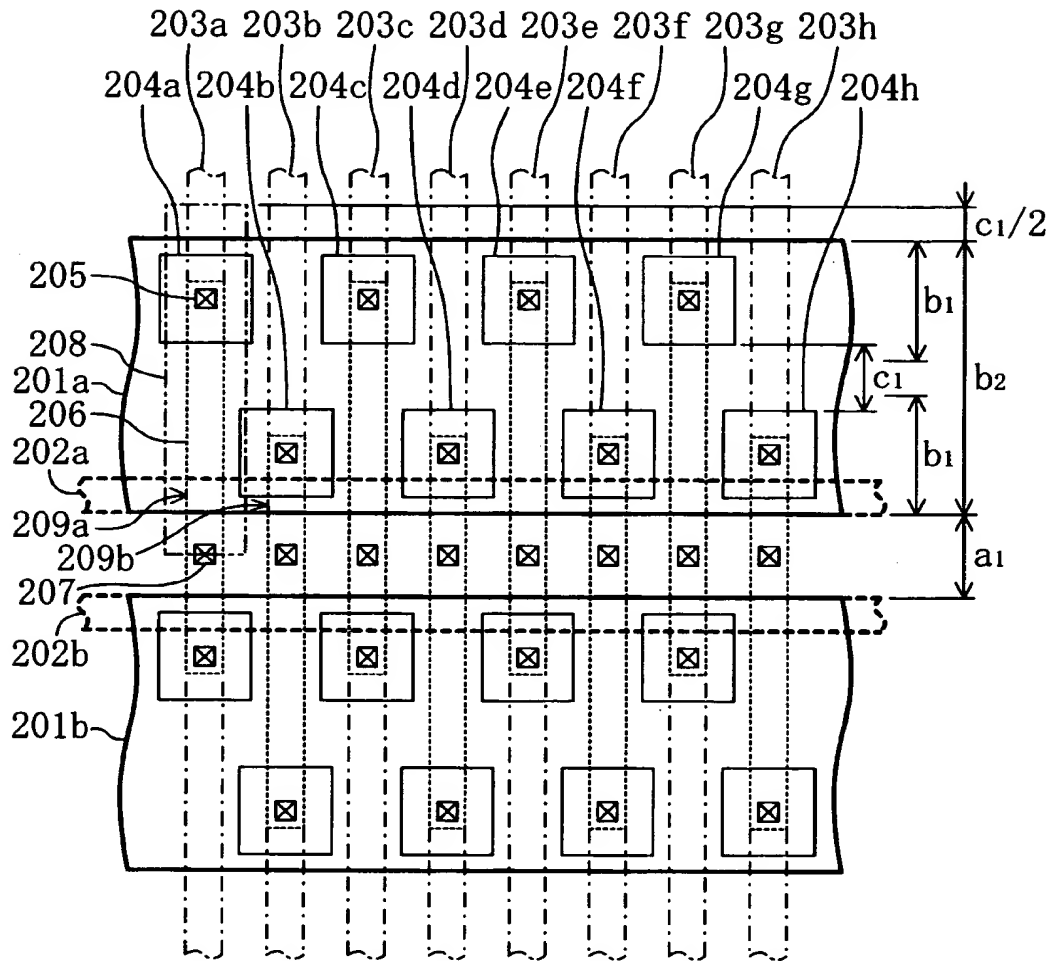
【図 3】



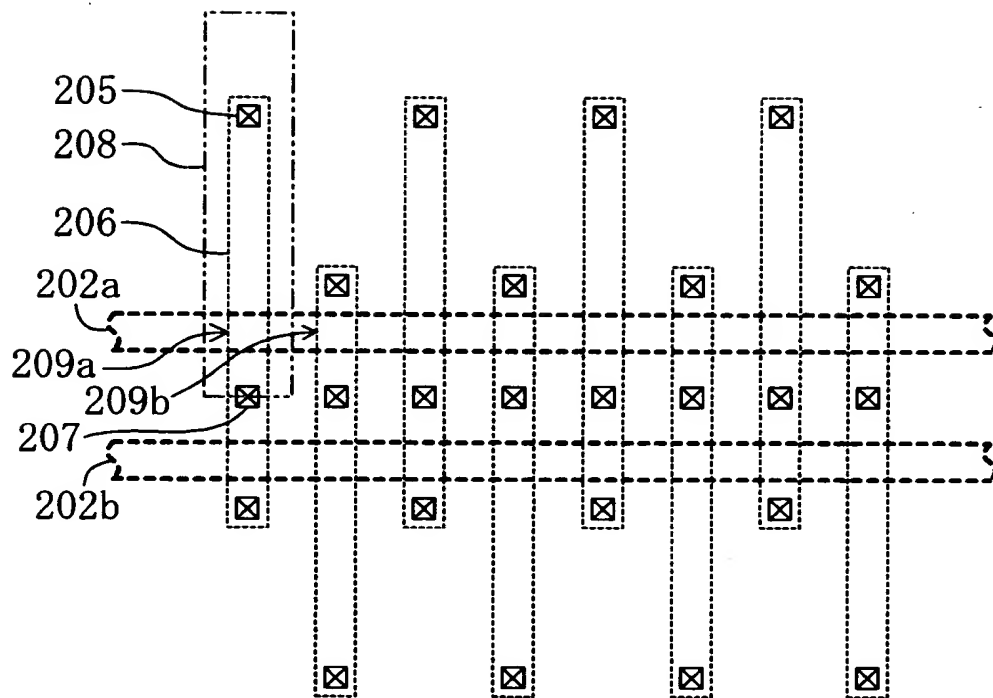
【図4】



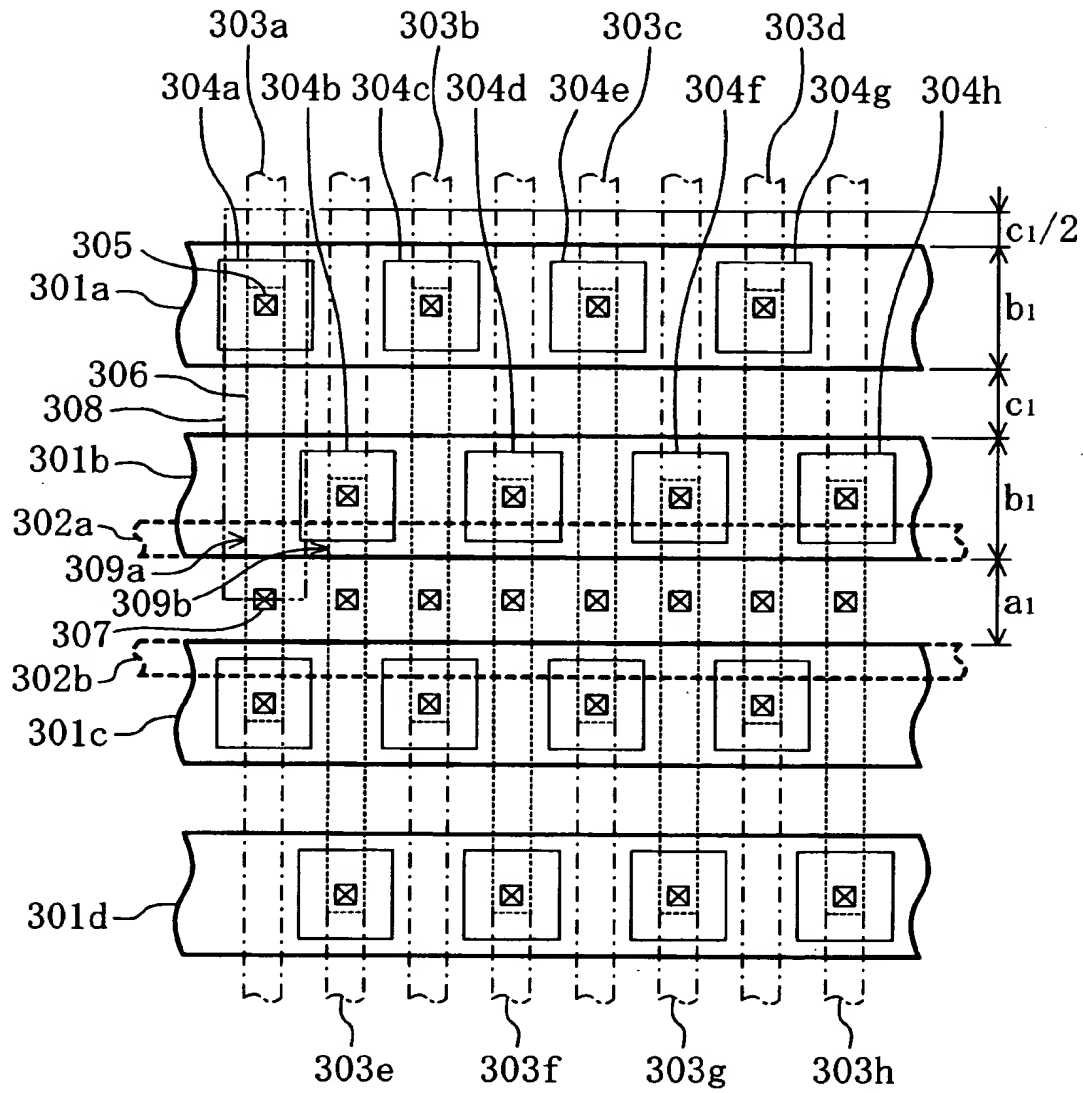
【図 5】



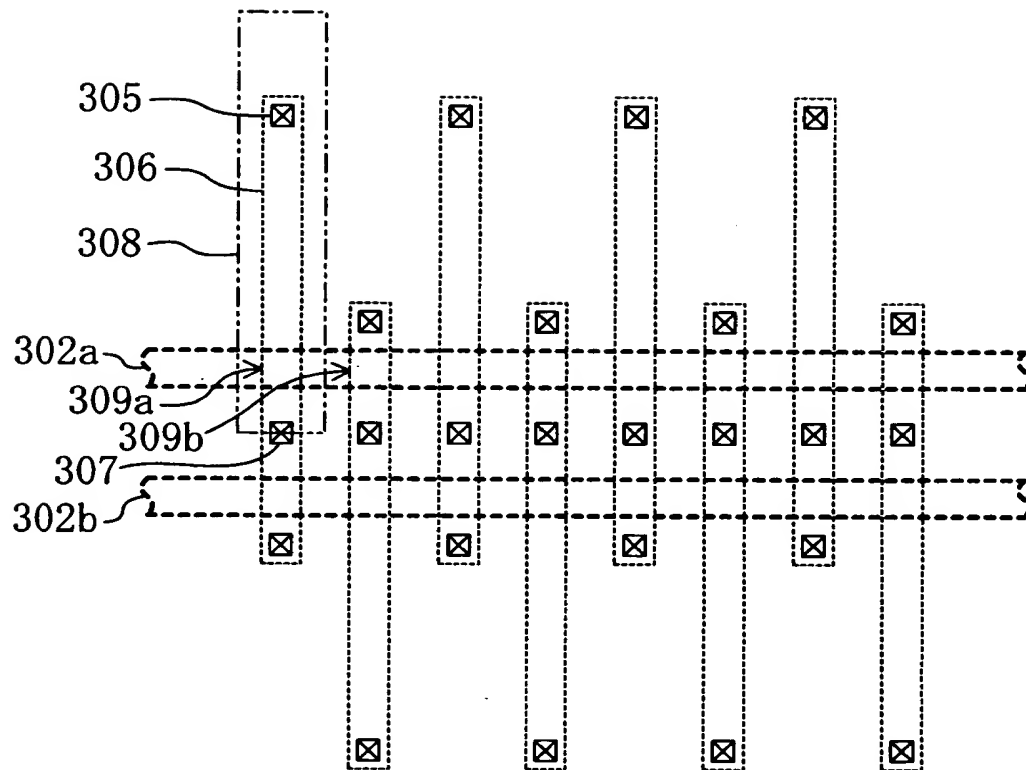
【図 6】



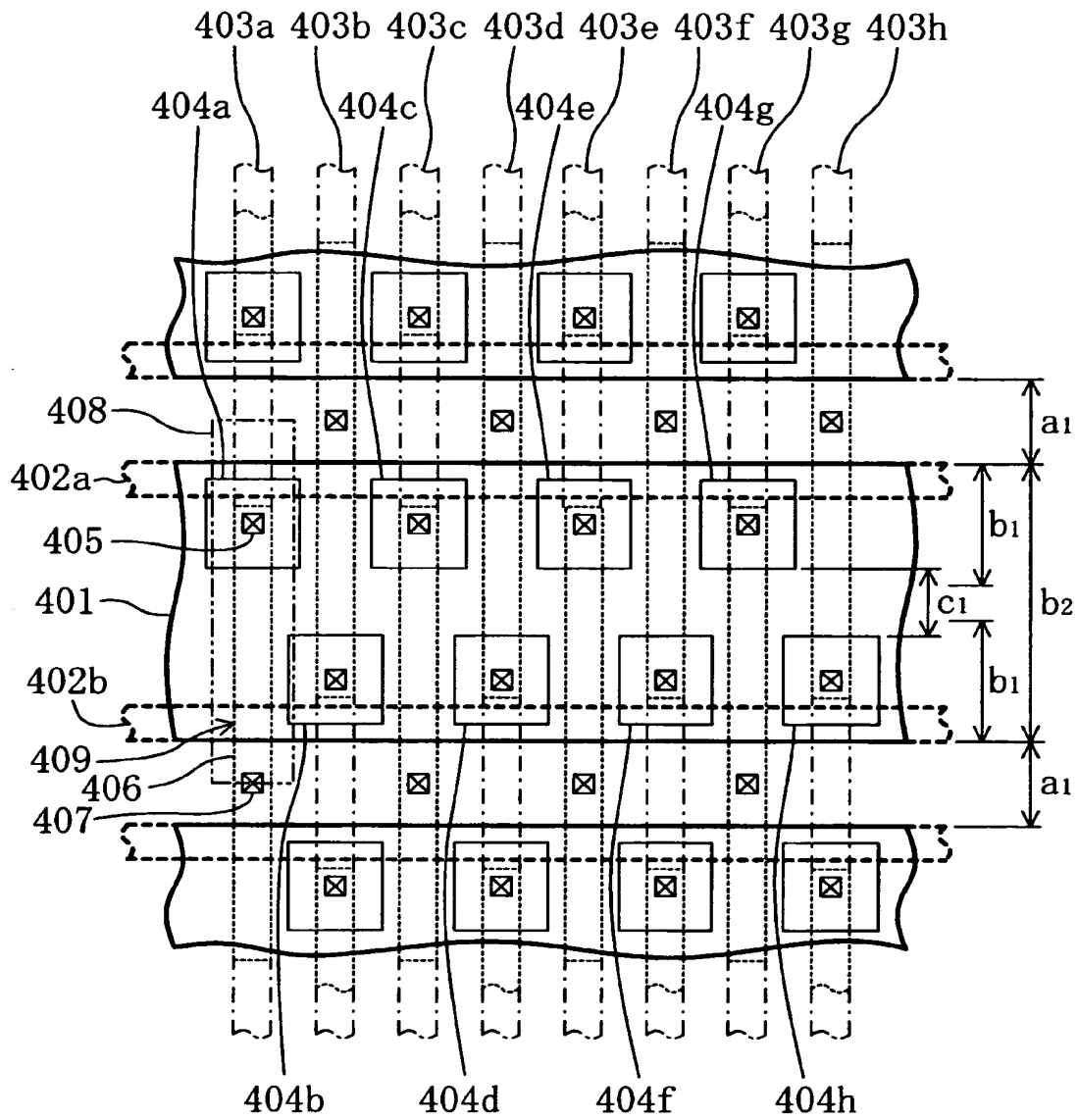
【図 7】



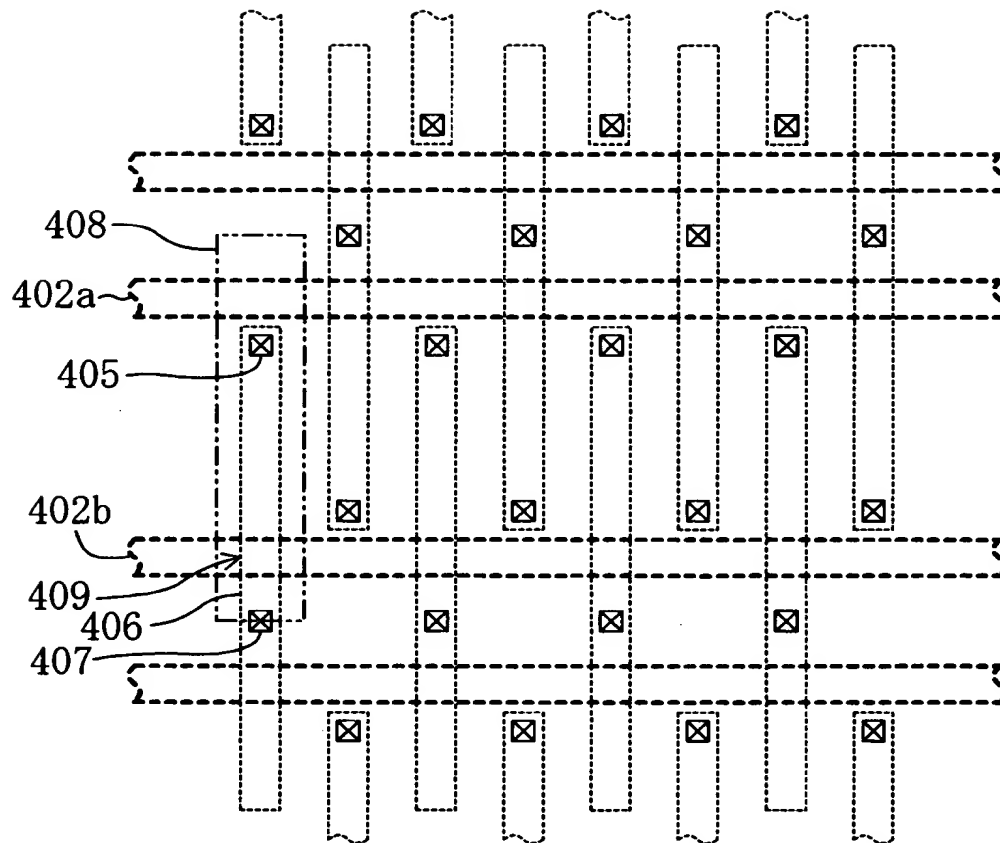
【図 8】



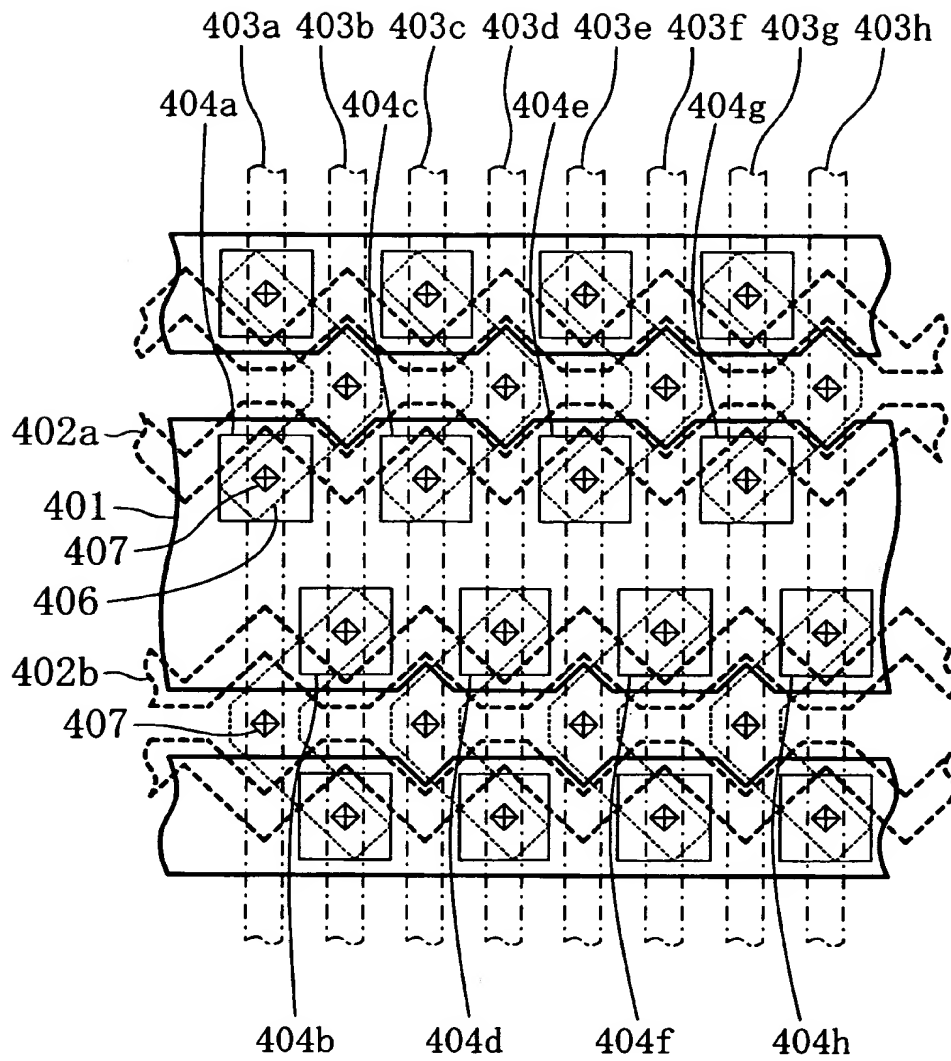
【図 9】



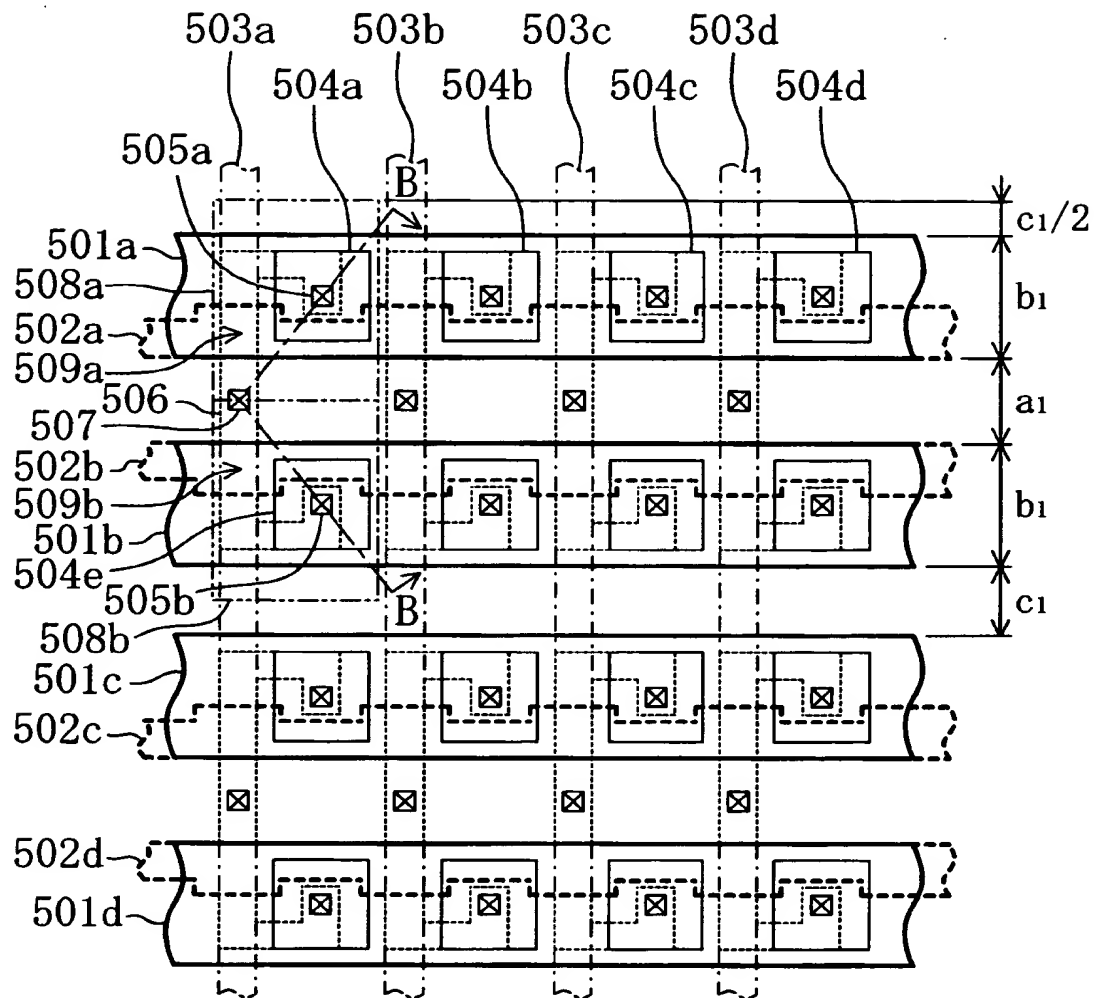
【図 1 0】



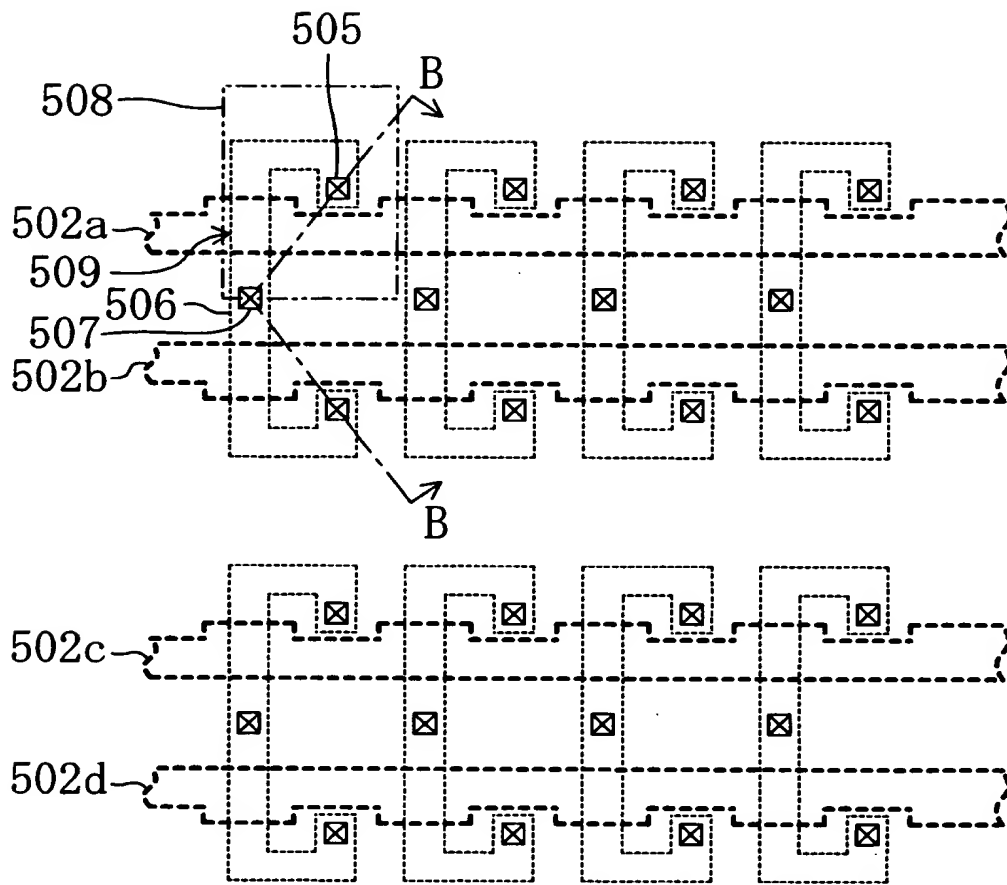
【図 1 1】



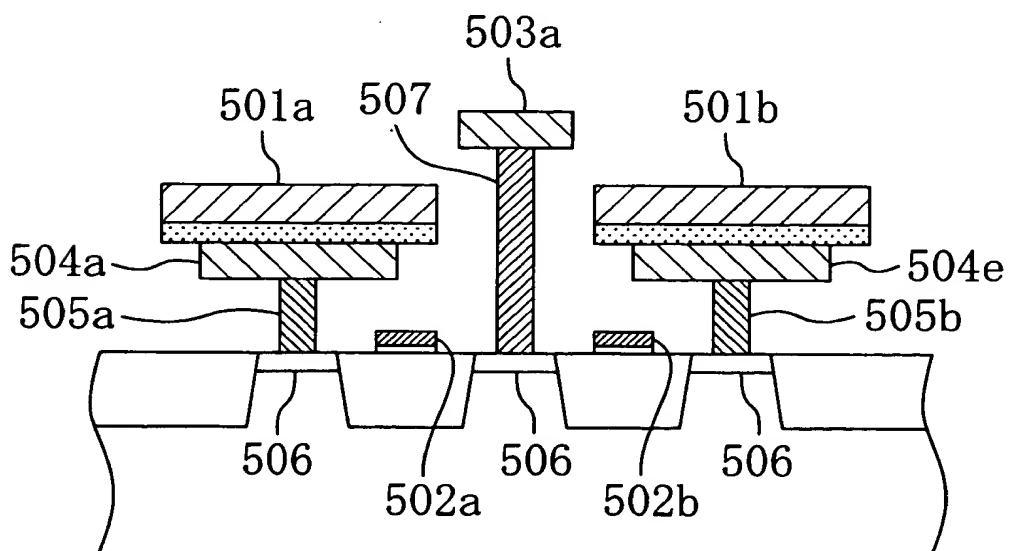
【図 1 2】



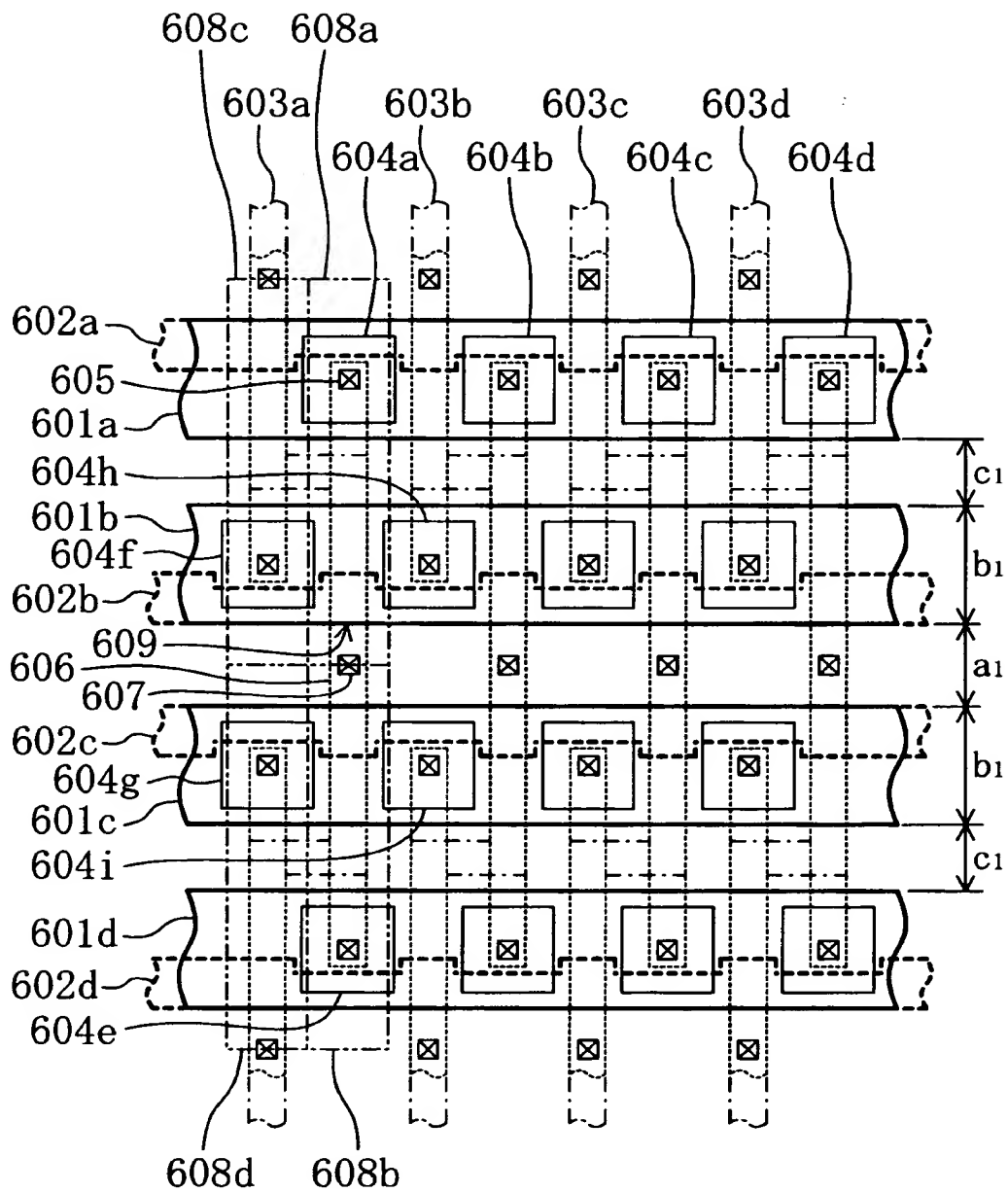
【図 13】



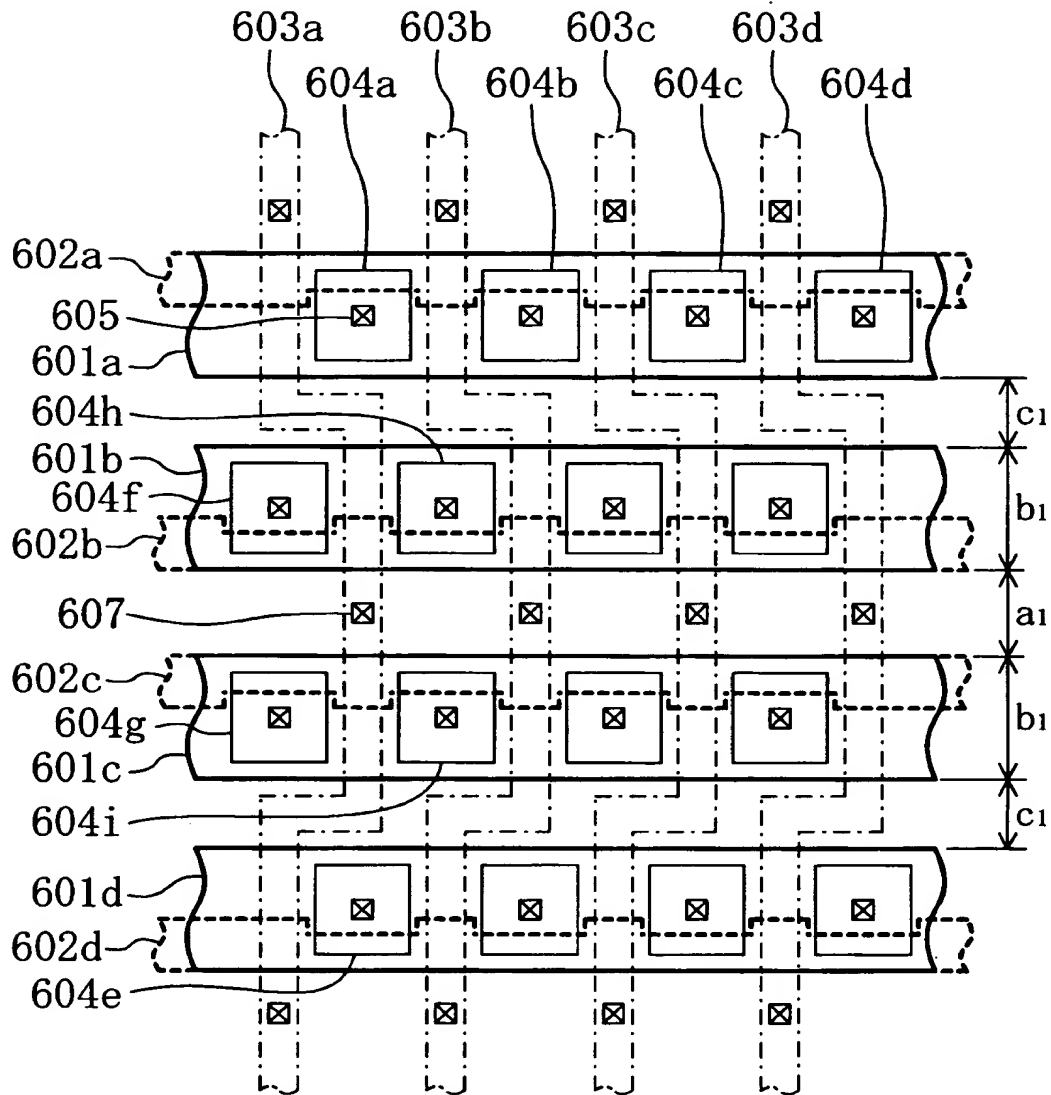
【図 14】



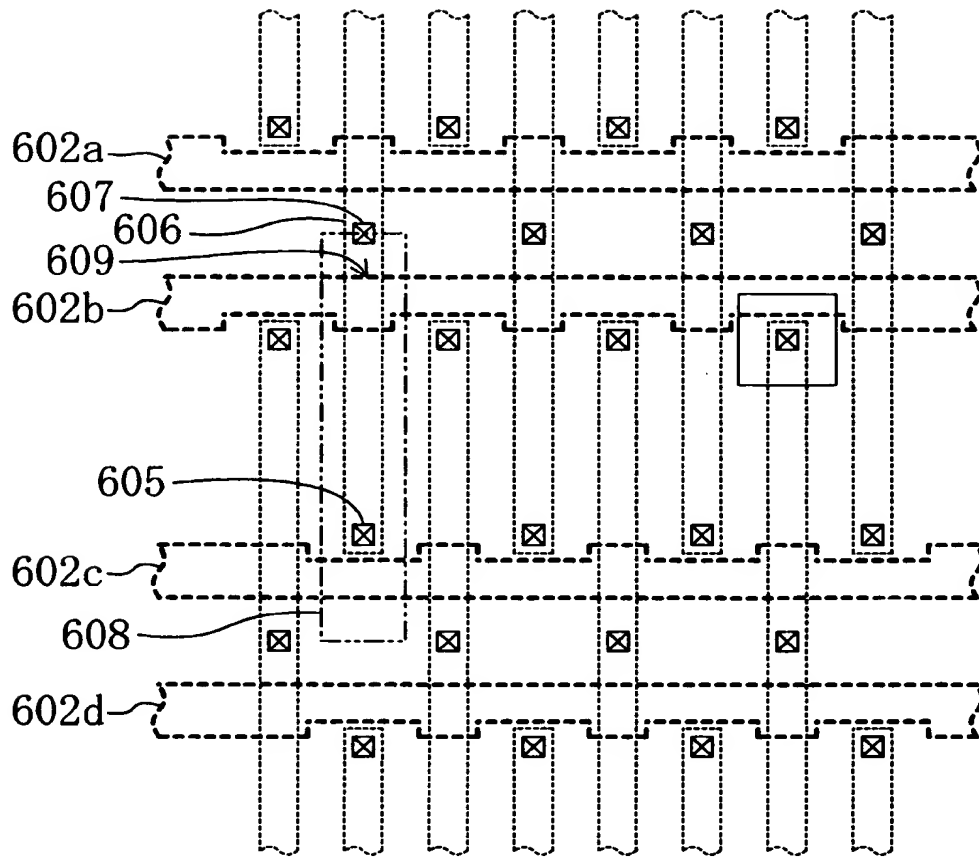
【図 15】



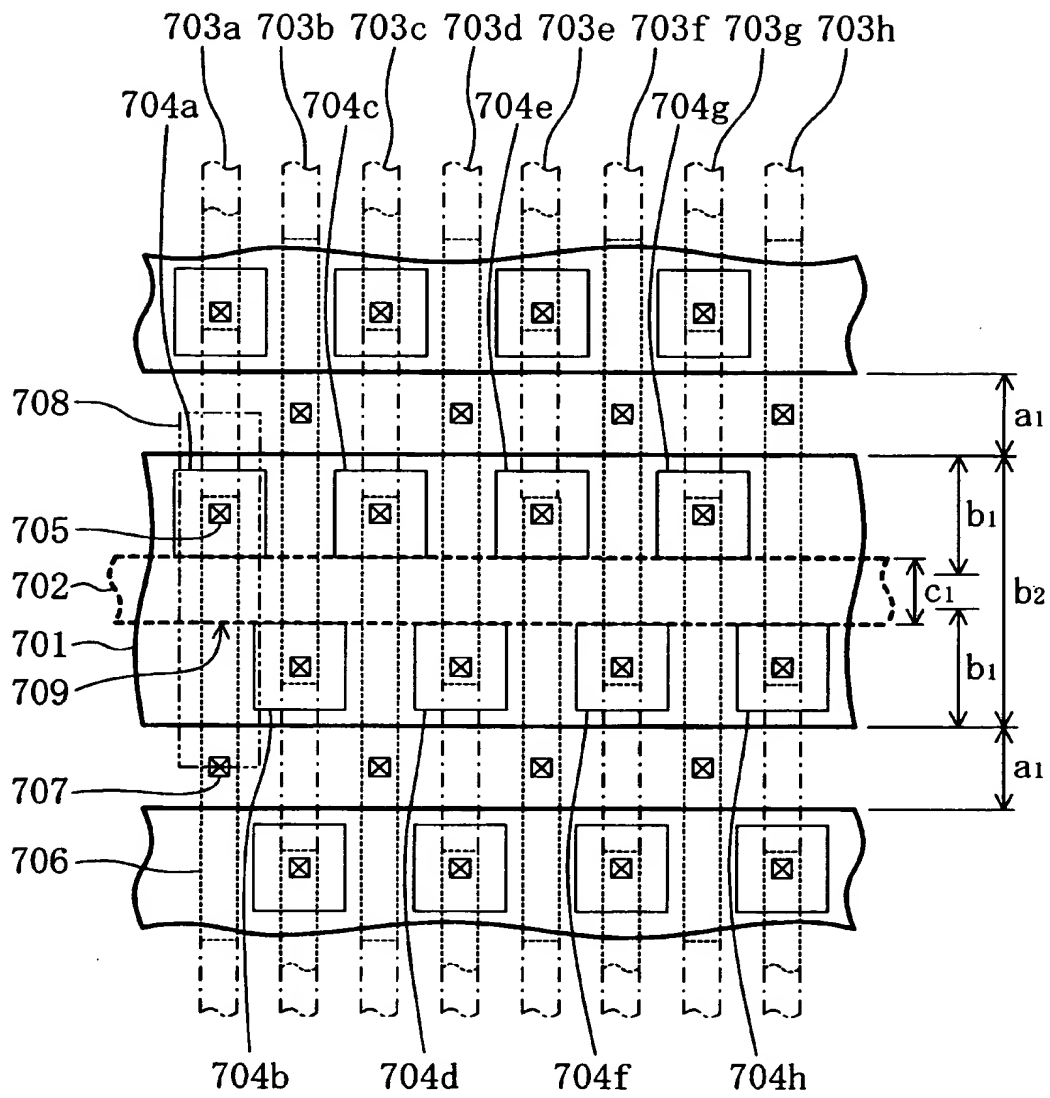
【図 1 6】



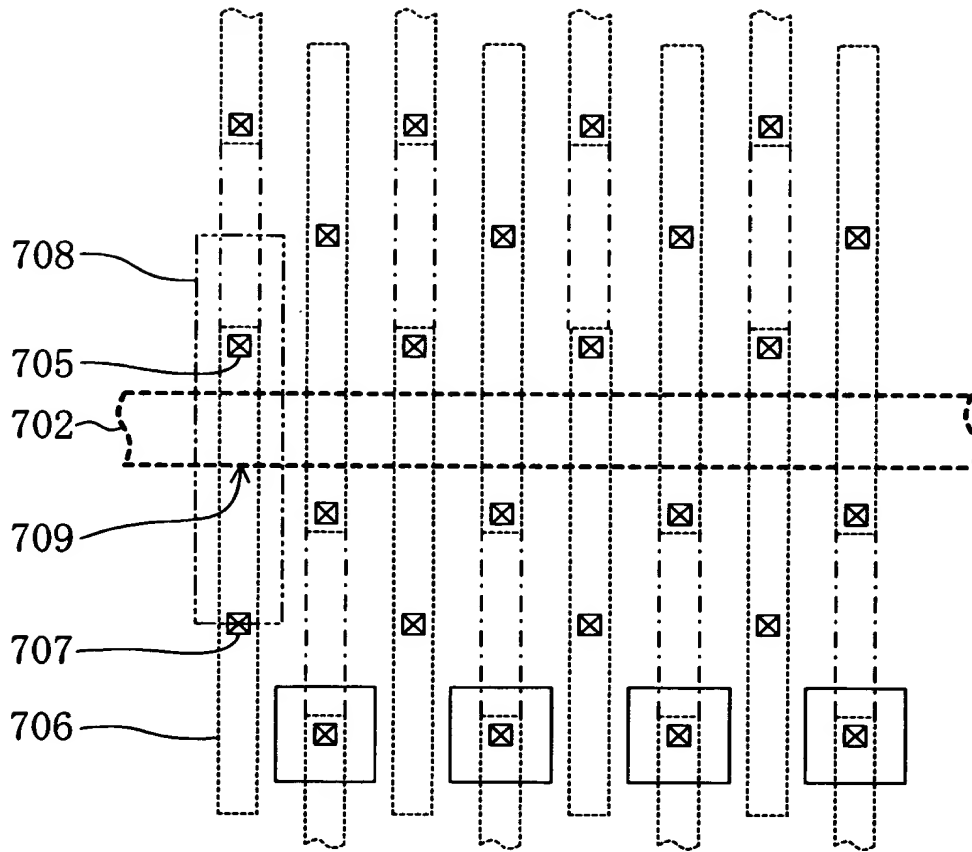
【図 1 7】



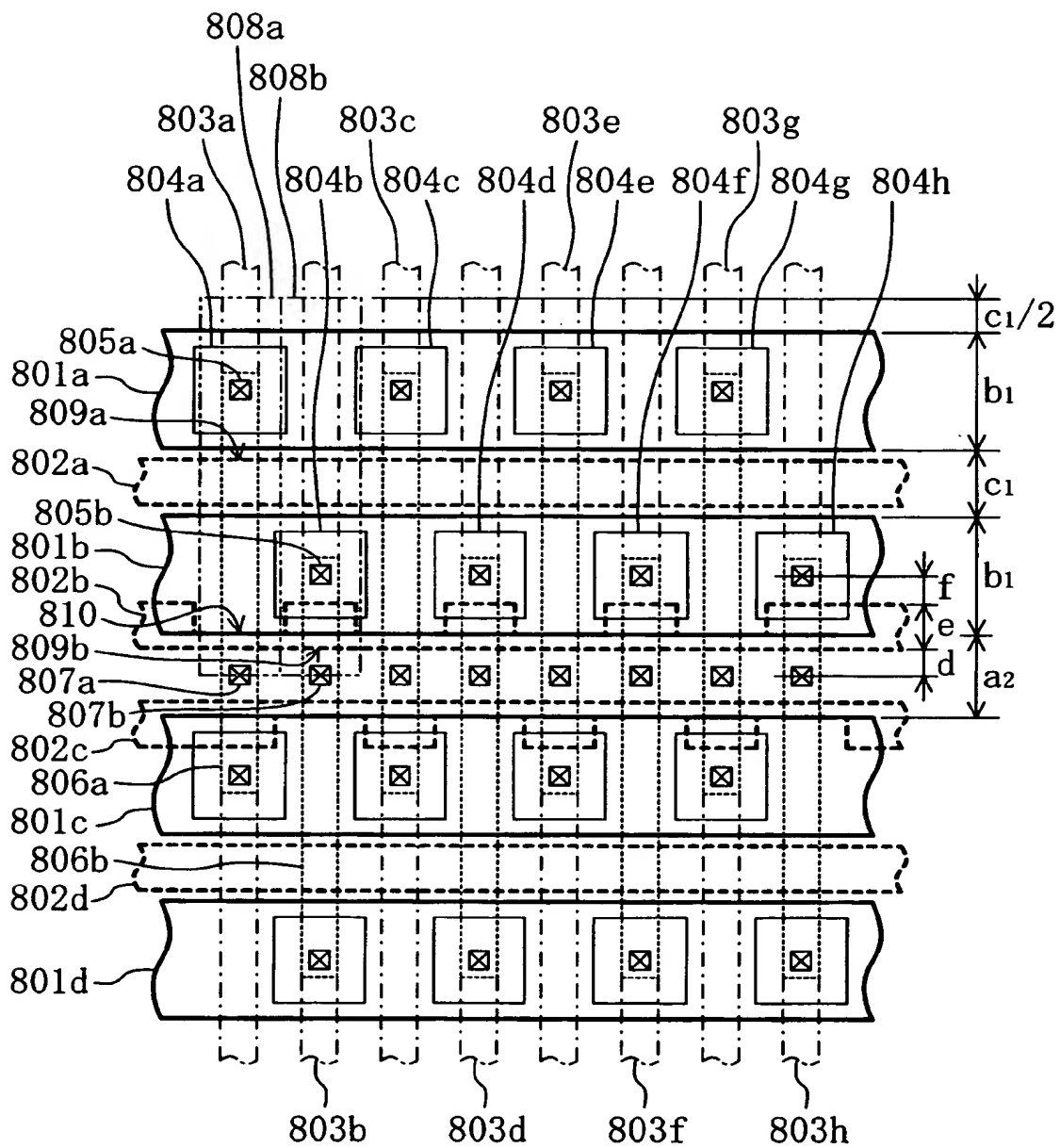
【図 1 8】



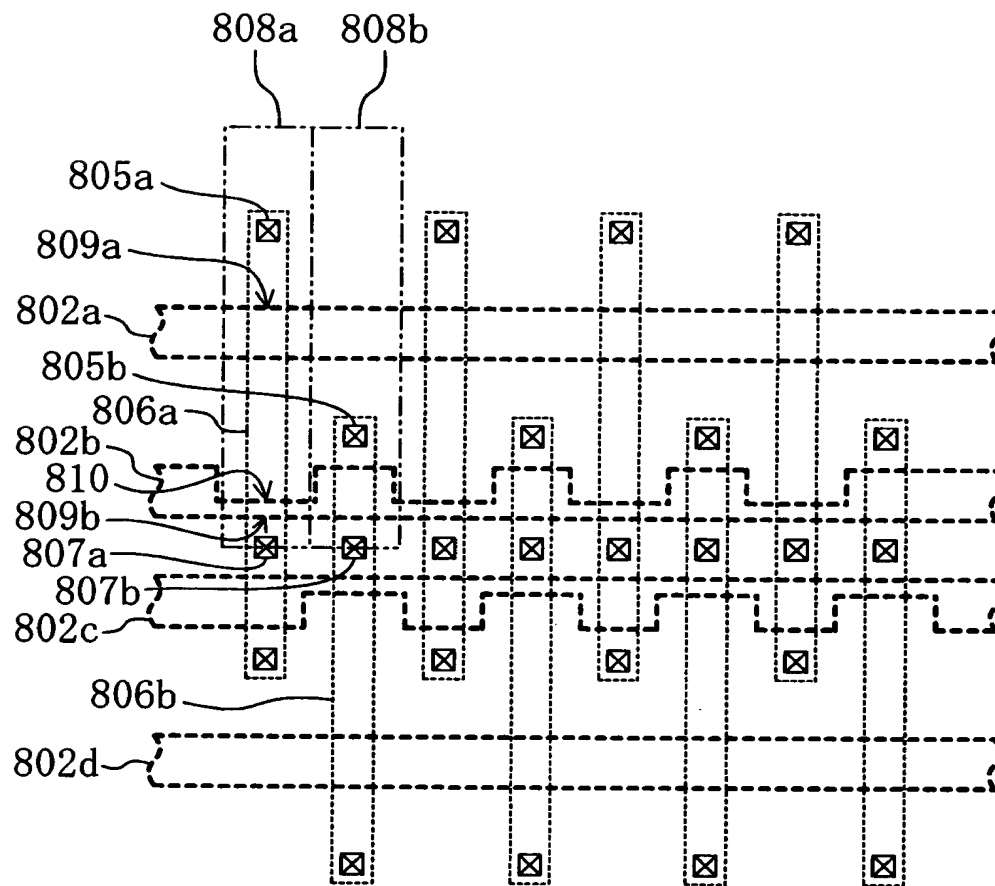
【図 1 9】



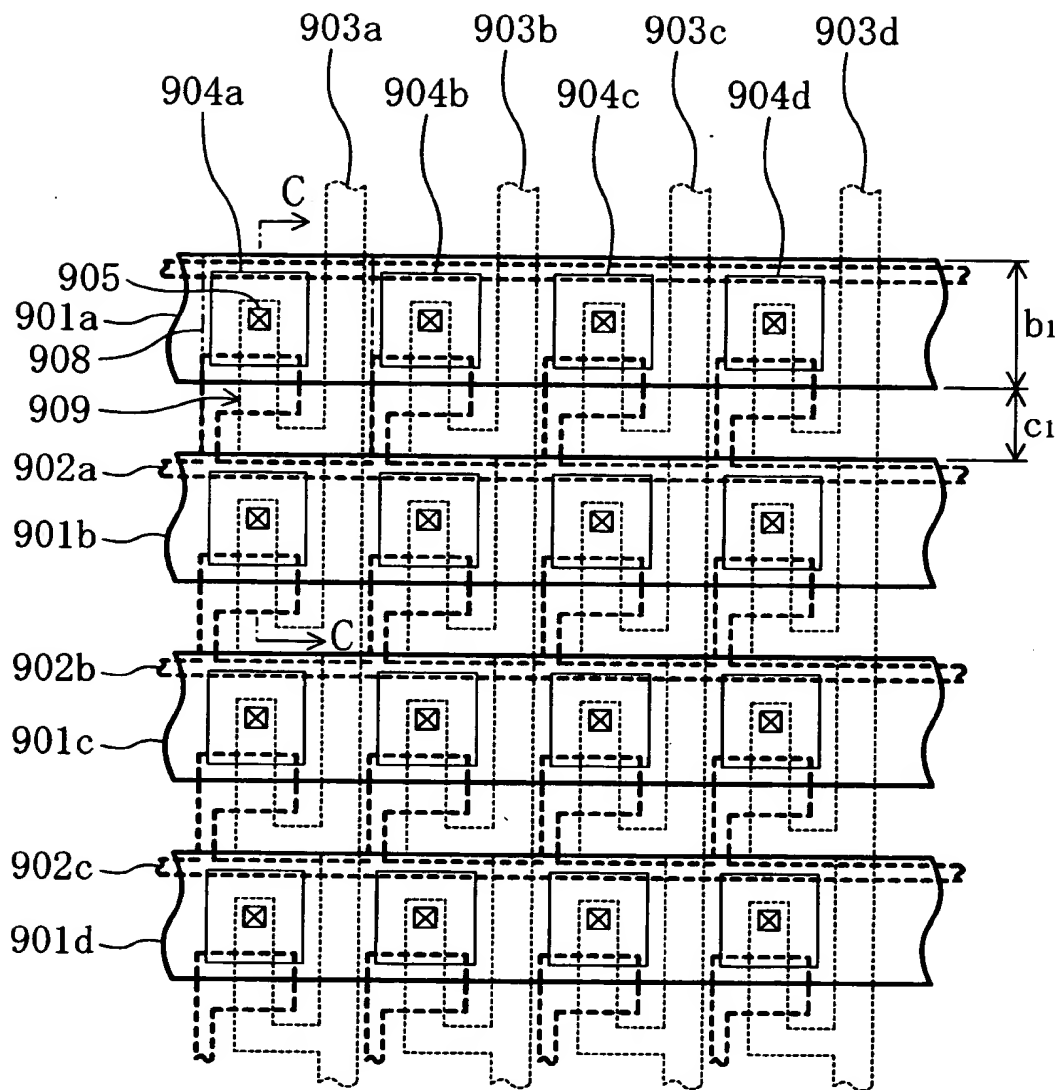
【図 2 0】



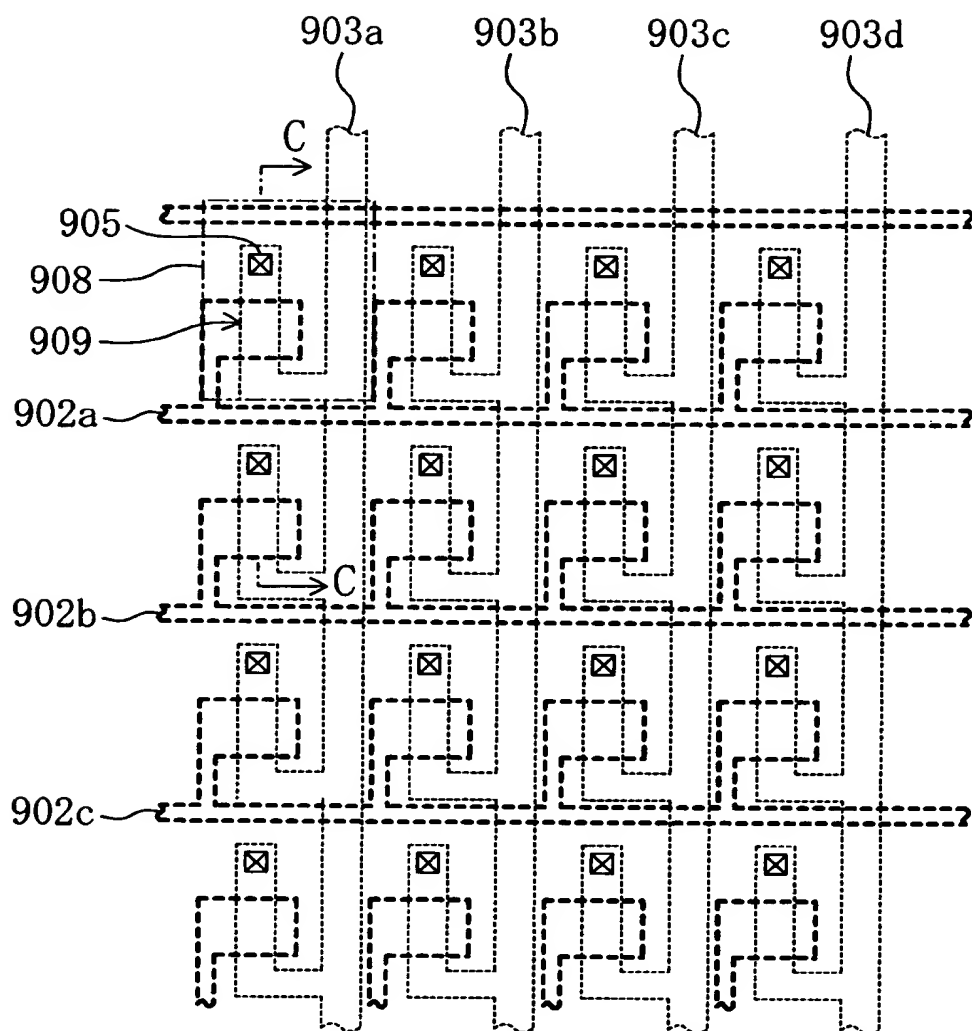
【図 2 1】



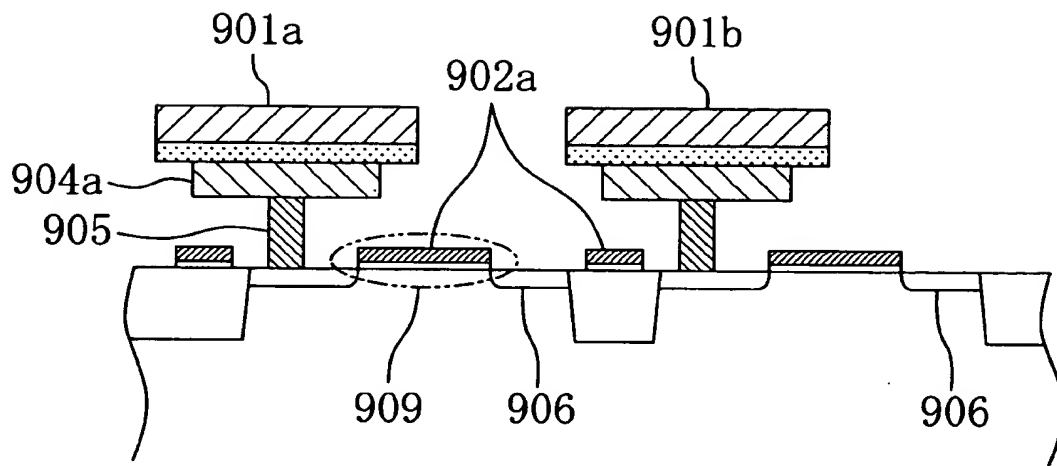
【図 2 2】



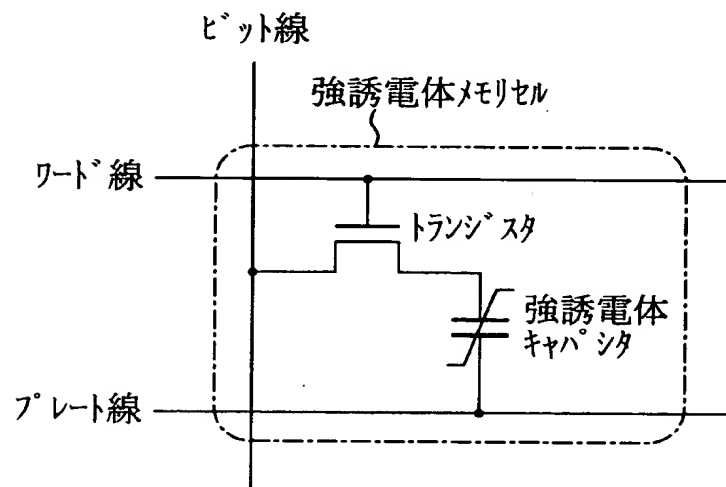
【図 2 3】



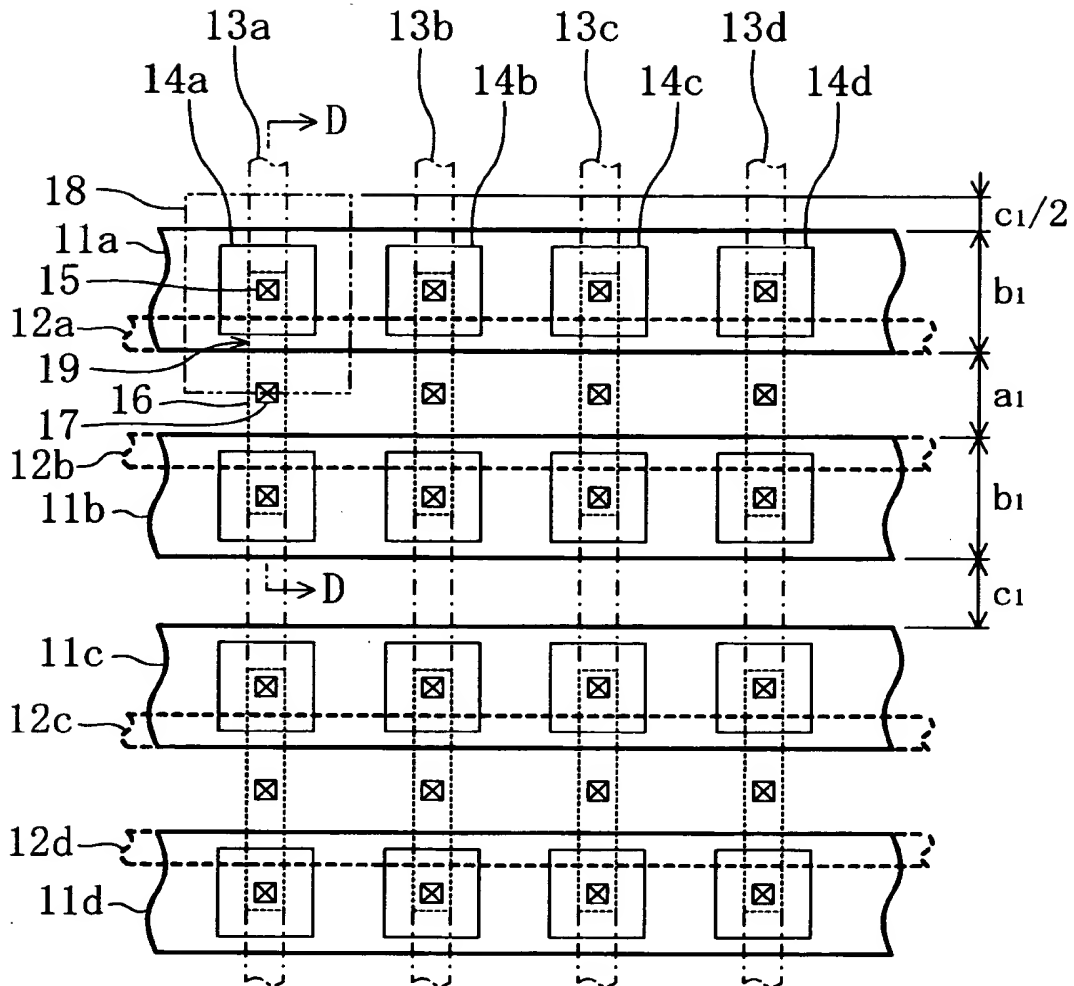
【図24】



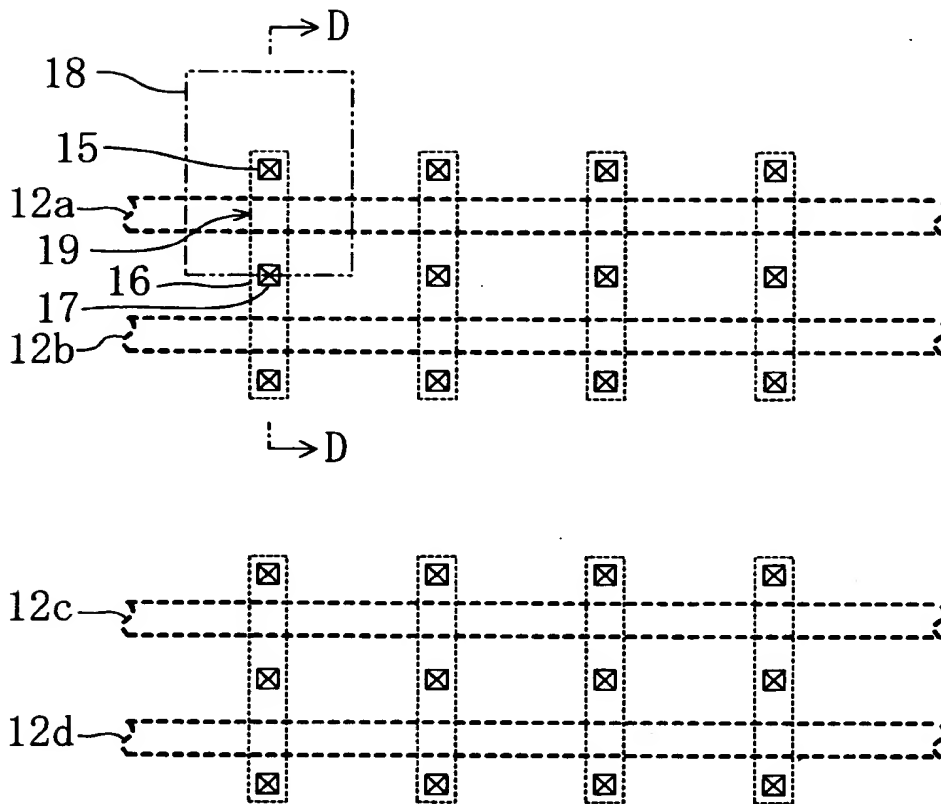
【図25】



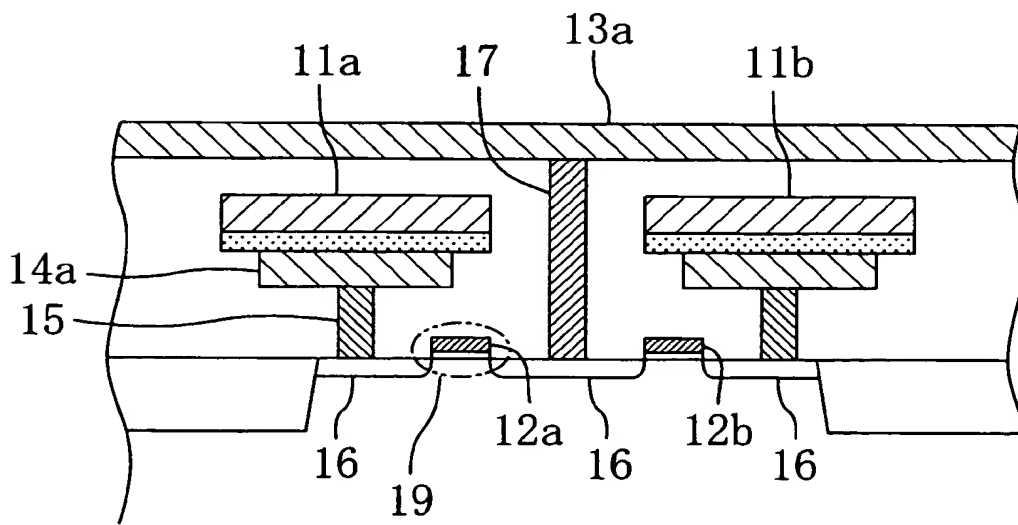
【図 2 6】



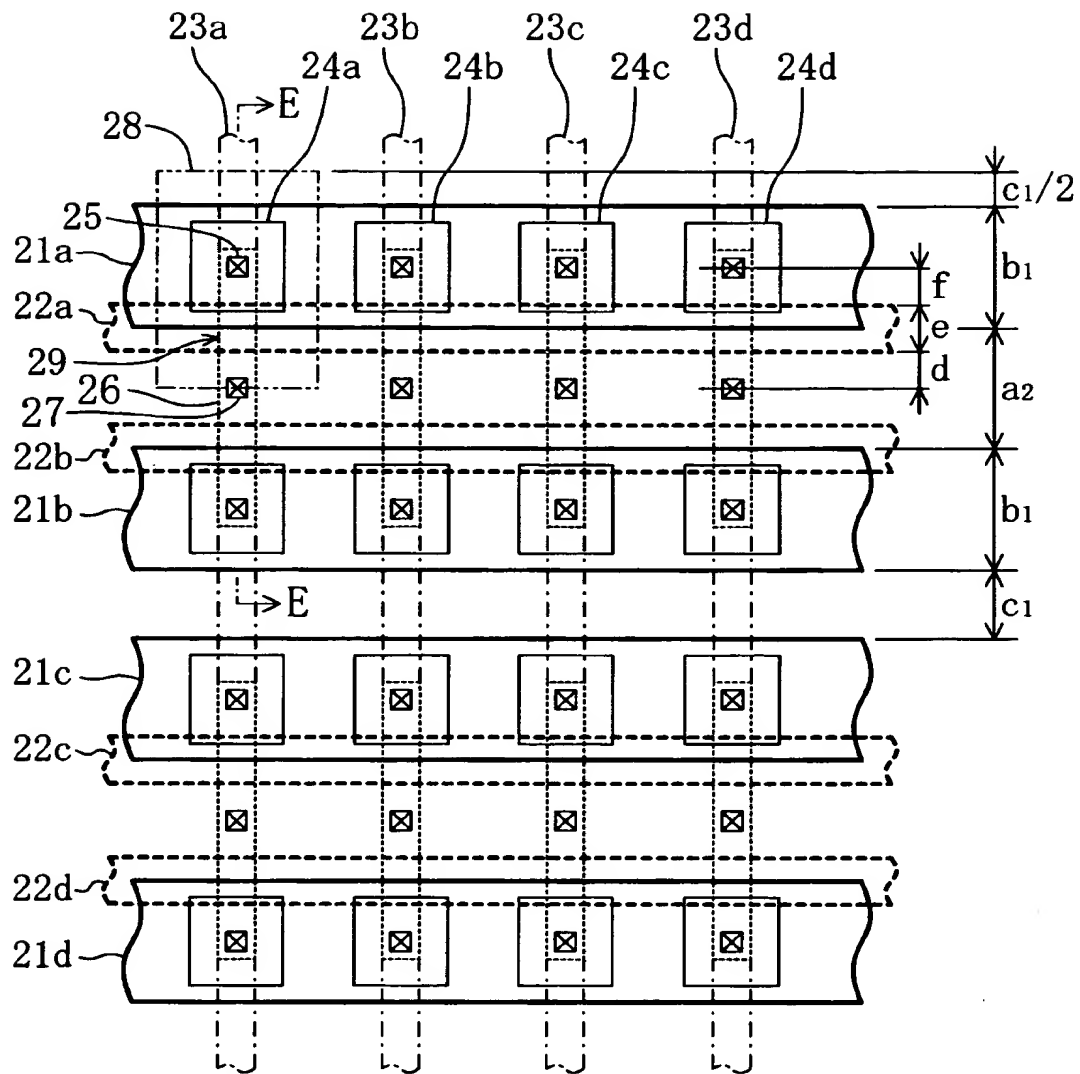
【図 27】



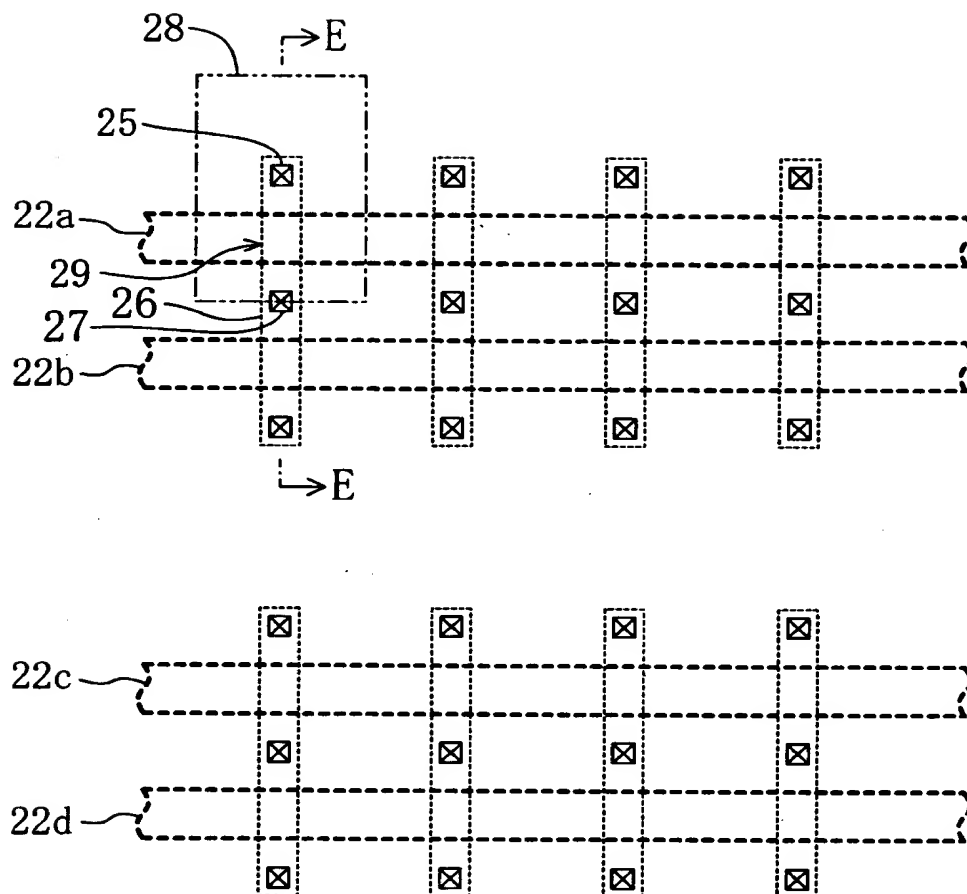
【図 28】



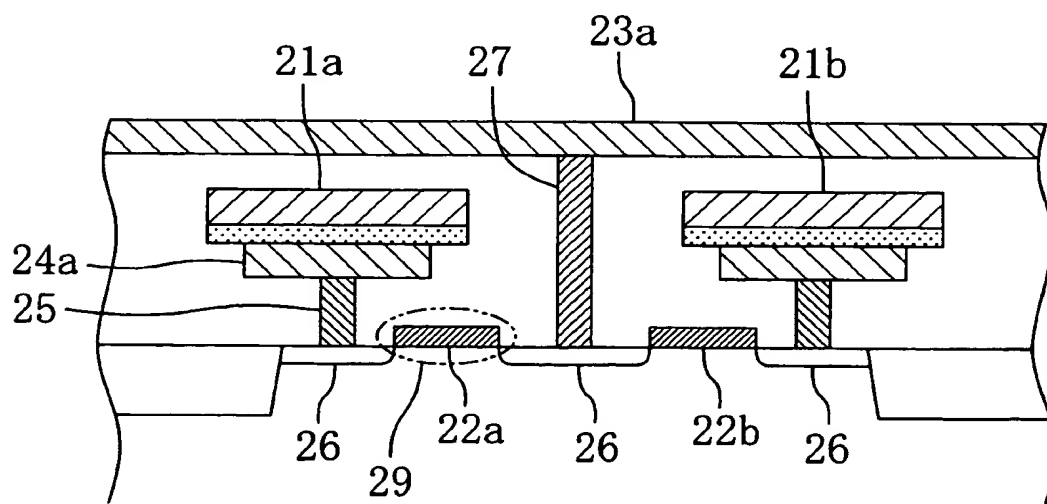
【圖 29】



【図 30】



【図 31】



【書類名】 要約書

【要約】

【課題】 強誘電体メモリセルの面積の低減を図る。

【解決手段】 プレート線 1 0 1 a ~ 1 0 1 d は、ワード線方向に隣接する強誘電体メモリセル 1 0 8 の強誘電体キャパシタの上をワード線方向に延びている。ビット線コンタクト 1 0 7 は、ビット線方向に隣接するプレート線 1 0 1 a ~ 1 0 1 d 同士の間で且つワード線方向に隣接する強誘電体キャパシタのストレージノード 1 0 4 a ~ 1 0 4 d 同士の間の領域に配置されている。プレート線 1 0 1 a ~ 1 0 1 d におけるビット線コンタクト 1 0 7 の近傍部には切り欠き部が形成されている。トランジスタの活性領域 1 0 6 は、ワード線方向と交差し且つビット線方向と交差するように延びている。

【選択図】 図 1

【書類名】 出願人名義変更届（一般承継）

【提出日】 平成13年 4月26日

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2000-365276

【承継人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代表者】 中村 ▲邦▼夫

【提出物件の目録】

【物件名】 権利の承継を証明する書面 1

【援用の表示】 平成13年 4月16日付提出の特許番号第3150560号の一般承継による特許権の移転登録申請書に添付した登記簿謄本を援用する。

特 2 0 0 0 - 3 6 5 2 7 6

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 4 3]

1. 変更年月日	1 9 9 3 年 9 月 1 日
[変更理由]	住所変更
住 所	大阪府高槻市幸町 1 番 1 号
氏 名	松下電子工業株式会社

出 願 人 履 歷 情 報

識別番号 [0 0 0 0 0 5 8 2 1]

1. 変更年月日	1 9 9 0 年 8 月 2 8 日
[変更理由]	新規登録
住 所	大阪府門真市大字門真 1 0 0 6 番地
氏 名	松下電器産業株式会社